

S/N unknown

2 / Priority
Doc.
E. Willis
6-6-01
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: KUSUMOTO Serial No.: unknown
Filed: concurrent herewith Docket No.: 10873.644US01
Title: SEMICONDUCTOR DEVICE HAVING A CONNECTION...

1000 U.S. PRO
09/773502
02/02/01

CERTIFICATE UNDER 37 CFR 1.10

'Express Mail' mailing label number: EL650063234US

Date of Deposit: February 2, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service 'Express Mail Post Office To Addressee' service under 37 CFR 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

By:

Name:

Brian Mahan
BRIAN MAHAN

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Applicants enclose herewith one certified copy of a Japanese application, Serial No. 2000-33537, filed February 10, 2000, the right of priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

MERCHANT & GOULD P.C.
P.O. Box 2903
Minneapolis, Minnesota 55402-0903
(612) 332-5300

Dated: February 2, 2001

By

John J. Gresens
John J. Gresens
Reg. No. 33,112

DPM/tvm

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月10日

出願番号
Application Number:

特願2000-033537

出願人
Applicant(s):

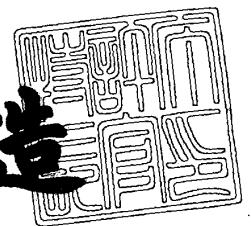
松下電器産業株式会社



2000年12月15日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3104130

【書類名】 特許願

【整理番号】 R3779

【提出日】 平成12年 2月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/54

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 楠本 馨一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100095555

【弁理士】

【氏名又は名称】 池内 寛幸

【電話番号】 06-6361-9334

【選任した代理人】

【識別番号】 100076576

【弁理士】

【氏名又は名称】 佐藤 公博

【手数料の表示】

【予納台帳番号】 012162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003743

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体集積回路を有する半導体装置において、

前記半導体集積回路の内部に設けられた第 1 の内部配線および第 2 の内部配線と、

前記半導体集積回路の内部に設けられた第 1 の内部端子、第 2 の内部端子、第 3 の内部端子、および第 4 の内部端子と、

前記半導体集積回路の外部に設けられた第 1 の外部配線および第 2 の外部配線と、

前記第 1 の外部配線と前記第 1 の内部端子を接続するための第 1 の接続部と、
前記第 1 の外部配線と前記第 2 の内部端子を接続するための第 2 の接続部と、
前記第 2 の外部配線と前記第 3 の内部端子を接続するための第 3 の接続部と、
前記第 2 の外部配線と前記第 4 の内部端子を接続するための第 4 の接続部と、
前記第 1 の内部端子と前記第 1 の内部配線との間に接続された第 1 のスイッチ部と、

前記第 2 の内部端子と前記第 1 の内部配線との間に接続された第 2 のスイッチ部と、

前記第 1 の内部配線と前記第 2 の内部配線との間に接続された第 3 のスイッチ部と、

前記第 3 の内部端子と前記第 2 の内部配線との間に接続された第 4 のスイッチ部と、

前記第 4 の内部端子と前記第 2 の内部配線との間に接続された第 5 のスイッチ部とを備え、

前記第 1 の接続部による前記第 1 の外部配線と前記第 1 の内部端子との接続状態および前記第 3 の接続部による前記第 2 の外部配線と前記第 3 の内部端子との接続状態を検査するときには、前記第 1 のスイッチ部、前記第 3 のスイッチ部、および前記第 4 のスイッチ部が閉状態にされると共に、前記第 2 のスイッチ部および前記第 5 のスイッチ部が開状態にされ、前記第 1 の外部配線と前記第 2 の外

部配線とに検査信号が与えられることを特徴する半導体装置。

【請求項 2】 前記第 3 のスイッチ部は、前記第 3 のスイッチ部が閉状態のときにそこを流れる電流を所定量に制限する電流制限機能を有する請求項 1 記載の半導体装置。

【請求項 3】 前記半導体装置は、前記半導体集積回路の内部に、前記第 1 から第 5 のスイッチ部の開閉動作を制御するスイッチ制御部を備えた請求項 1 記載の半導体装置。

【請求項 4】 前記第 2 のスイッチ部は P チャンネル MOS トランジスタを備え、前記半導体装置はさらに、前記半導体集積回路の内部に N チャンネル MOS トランジスタを備え、

前記 P チャンネル MOS トランジスタのソース端子は前記第 2 の内部端子に接続され、そのドレイン端子は前記第 1 の内部配線に接続されており、

所定の電圧が前記第 1 の外部配線と前記第 2 の外部配線に与えられたときに前記 P チャンネル MOS トランジスタが導通状態になるように、前記 N チャンネル MOS トランジスタのゲート端子が前記第 2 の内部端子に接続され、そのソース端子が前記第 4 の内部端子に接続され、そのドレイン端子が前記 P チャンネル MOS トランジスタのゲート端子に接続されている請求項 1 記載の半導体装置。

【請求項 5】 前記第 5 のスイッチ部は N チャンネル MOS トランジスタを備え、前記半導体装置はさらに、前記半導体集積回路の内部に P チャンネル MOS トランジスタを備え、

前記 N チャンネル MOS トランジスタのソース端子は前記第 4 の内部端子に接続され、そのドレイン端子は前記第 2 の内部配線に接続されており、

所定の電圧が前記第 1 の外部配線と前記第 2 の外部配線に与えられたときに前記 N チャンネル MOS トランジスタが導通状態になるように、前記 P チャンネル MOS トランジスタのゲート端子が前記第 4 の内部端子に接続され、そのソース端子が前記第 2 の内部端子に接続され、そのドレイン端子が前記 N チャンネル MOS トランジスタのゲート端子に接続されている請求項 1 記載の半導体装置。

【請求項 6】 半導体集積回路を有する半導体装置において、
前記半導体集積回路の内部に設けられた内部配線と、

前記半導体集積回路の内部に設けられた第 1 の内部端子および第 2 の内部端子と、

前記半導体集積回路の外部に設けられた第 1 の外部配線と、

前記第 1 の外部配線と前記第 1 の内部端子を接続するための第 1 の接続部と、

前記第 1 の外部配線と前記第 2 の内部端子を接続するための第 2 の接続部と、

前記第 1 の内部端子と前記内部配線との間に接続された第 1 のスイッチ部と、

前記第 2 の内部端子と前記内部配線との間に接続された第 2 のスイッチ部と、

前記内部配線に流れる電流を検知するための電流検知部とを備え、

前記第 1 のスイッチ部を閉状態にすると共に前記第 2 のスイッチ部を開状態にし、前記電流検知部による検知結果によって、前記第 1 の接続部による前記第 1 の外部配線と前記第 1 の内部端子との接続状態が検査されることを特徴とする半導体装置。

【請求項 7】 前記半導体装置は、前記半導体集積回路の内部に、前記第 1 および第 2 のスイッチ部の開閉動作を制御するスイッチ制御部を備えた請求項 6 記載の半導体装置。

【請求項 8】 前記第 2 のスイッチ部は P チャンネル MOS トランジスタを備え、前記半導体装置はさらに、前記半導体集積回路の内部に N チャンネル MOS トランジスタを備え、

前記 P チャンネル MOS トランジスタのソース端子は前記第 2 の内部端子に接続され、そのドレイン端子は前記内部配線に接続されており、

所定の電圧が前記第 1 の外部配線と前記半導体集積回路の外部に設けられた第 2 の外部配線とに与えられたときに前記 P チャンネル MOS トランジスタが導通状態になるように、前記 N チャンネル MOS トランジスタのゲート端子が前記第 2 の内部端子に接続され、そのソース端子が前記第 2 の外部配線に接続され、そのドレイン端子が前記 P チャンネル MOS トランジスタのゲート端子に接続されている請求項 6 記載の半導体装置。

【請求項 9】 前記第 2 のスイッチ部は N チャンネル MOS トランジスタを備え、前記半導体装置はさらに、前記半導体集積回路の内部に P チャンネル MOS トランジスタを備え、

前記NチャンネルMOSトランジスタのソース端子は前記第1の外部配線に接続され、そのドレイン端子は前記内部配線に接続されており、

所定の電圧が前記第1の外部配線と前記半導体集積回路の外部に設けられた第2の外部配線に与えられたときに前記NチャンネルMOSトランジスタが導通状態になるように、前記PチャンネルMOSトランジスタのゲート端子が前記第1の外部配線に接続され、そのソース端子が前記第2の外部配線に接続され、そのドレイン端子が前記NチャンネルMOSトランジスタのゲート端子に接続されている請求項6記載の半導体装置。

【請求項10】 半導体集積回路を有する半導体装置において、
前記半導体集積回路の内部に設けられた内部配線と、
前記半導体集積回路の内部に設けられた第1の内部端子、第2の内部端子、および第3の内部端子と、

前記半導体集積回路の外部に設けられた第1の外部配線および第2の外部配線と、

前記第1の外部配線と前記第1の内部端子を接続するための第1の接続部と、
前記第1の外部配線と前記第2の内部端子を接続するための第2の接続部と、
前記第2の外部配線と前記第3の内部端子を接続するための第3の接続部と、
前記第1の内部端子と前記内部配線との間に接続された第1のスイッチ部と、
前記第2の内部端子と前記内部配線との間に接続された第2のスイッチ部と、
前記第3の内部端子と前記内部配線との間に接続された第3のスイッチ部とを
備え、

前記第1の接続部による前記第1の外部配線と前記第1の内部端子との接続状態を検査するときには、前記第1のスイッチ部と前記第3のスイッチ部を閉状態にすると共に、前記第2のスイッチ部を開状態にすることを特徴とする半導体装置。

【請求項11】 前記半導体装置は、前記半導体集積回路の内部に、前記第1のスイッチ部、前記第2のスイッチ部、および前記第3のスイッチ部の開閉動作を制御するスイッチ制御部を備えた請求項10記載の半導体装置。

【請求項12】 前記第2のスイッチ部はPチャンネルMOSトランジスタを

備え、前記半導体装置はさらに、前記半導体集積回路の内部にNチャンネルMOSトランジスタを備え、

前記PチャンネルMOSトランジスタのソース端子は前記第2の内部端子に接続され、そのドレイン端子は前記内部配線に接続されており、

所定の電圧が前記第1の外部配線と前記第2の外部配線に与えられたときに前記PチャンネルMOSトランジスタが導通状態になるように、前記NチャンネルMOSトランジスタのゲート端子が前記第2の内部端子に接続され、そのソース端子が前記第2の外部配線に接続され、そのドレイン端子が前記PチャンネルMOSトランジスタのゲート端子に接続されている請求項10記載の半導体装置。

【請求項13】 前記第2のスイッチ部はNチャンネルMOSトランジスタを備え、前記半導体装置はさらに、前記半導体集積回路の内部にPチャンネルMOSトランジスタを備え、

前記NチャンネルMOSトランジスタのソース端子は前記第2の内部端子に接続され、そのドレイン端子は前記半導体集積回路の内部に設けられた前記内部配線に接続されており、

所定の電圧が前記第1の外部配線と前記第2の外部配線に与えられたときに前記NチャンネルMOSトランジスタが導通状態になるように、前記PチャンネルMOSトランジスタのゲート端子が前記第2の内部端子に接続され、そのソース端子が前記第2の外部配線に接続され、そのドレイン端子が前記NチャンネルMOSトランジスタのゲート端子に接続されている請求項10記載の半導体装置。

【請求項14】 半導体集積回路を有する半導体装置において、
前記半導体集積回路の内部に設けられた第1の内部配線と、
前記半導体集積回路の内部に設けられた第1の内部端子および第2の内部端子と、

前記半導体集積回路の外部に設けられた第1の外部配線と、
前記半導体集積回路の外部に設けられ前記第1の内部配線に接続された第2の外部配線と、

前記第1の外部配線と前記第1の内部端子を接続するための第1の接続部と、
前記第1の外部配線と前記第2の内部端子を接続するための第2の接続部と、

前記第 1 の内部端子と前記第 1 の内部配線との間に接続された第 1 のスイッチ部と、

前記第 2 の内部端子と前記第 1 の内部配線との間に接続された第 2 のスイッチ部とを備え、

前記第 1 の接続部による前記第 1 の外部配線と前記第 1 の内部端子との接続状態を検査するときには、前記第 1 のスイッチ部を閉状態にすると共に前記第 2 のスイッチ部を開状態にして、前記第 1 の外部配線から前記第 2 の外部配線に検査信号を与えることを特徴とする半導体装置。

【請求項 1 5】 前記半導体装置は、前記半導体集積回路の内部に、前記第 1 および第 2 のスイッチ部の開閉動作を制御するスイッチ制御部を備えた請求項 1 4 記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路を有する半導体装置における端子間の接続検査に関するものであり、特に、複数の電源端子と接地端子の接続検査に関する。

【 0 0 0 2 】

【従来の技術】

はじめに、半導体集積回路（L S I）が形成されているチップが実装されているパッケージについて述べる。例えば、プラスチック・パッケージの場合には、チップの信号線とリードとの接続は、信号線に接続されているパッドをワイヤによってリードと接続することによって実現している。ところで、チップをパッケージに封入する途中において、問題が発生する場合がある。その問題とは、適切にパッドにワイヤが接続されていなかったためにワイヤがパッドから外れてしまうことである。そして、チップがパッケージに封入された後に、ワイヤが外れている L S I は動作不良を起こす。したがって、これらの L S I は不良品と考えなければならない。そのため、パッドとリードがワイヤによって正しく接続されたか否かを、チップがパッケージに実装され封入された後に、検査装置によって検査する必要がある。

【0003】

L S I の信号線を接続しているワイヤがリードとパッド間を電氣的に接続されているか否かを調べるための接続検査方法とは、次のようなものである。検査対象となる L S I（以下、被検査 L S I と呼ぶ）の電源端子と接地端子に所定の電圧を与え、検査対象となる接続部分に対応するリードに試験電圧を与えるという方法をとる。

【0004】

図 16 は、従来の信号線の接続検査方法に関する被検査 L S I とその検査装置の構成図である。

【0005】

図 16 において、被検査 L S I 4' に含まれているワイヤ W 1 はサージ保護ダイオード D U のカソードに、ワイヤ W 3 はサージ保護ダイオード D L のアノードに、ワイヤ W 2 はサージ保護ダイオード D U のアノードとサージ保護ダイオード D L のカソードとの接続部に、各々、被検査 L S I の内部配線を通して接続されている。

【0006】

検査対象となるワイヤ W 2 の接続状態が、接続か非接続かを検査するためには、ワイヤ W 1、W 3 が接続されている被検査 L S I 4' のリード L 1、L 3 にそれぞれ電圧 3.3 V と 0 V を与え、次に、ワイヤ W 2 が接続されているリード L 2 にサージ保護ダイオード D L の順方向電流が流れる電圧 -0.8 V を与える。

【0007】

仮に、ワイヤ W 2 が接続されているならば、サージ保護ダイオード D L には、順方向電流 I a が流れ、電圧発生器 12 によって順方向電流 I a が検知される。電圧発生器 12 は電圧源と該電圧源から出力される電流を測定する電流計を備えているものとする。

【0008】

一方、ワイヤ W 2 が非接続状態ならばサージ保護ダイオード D L は、順方向電圧が与えられないので電流は流れない。サージ保護ダイオード D L の順方向電流が流れれば、ワイヤ W 2 は接続されており、順方向電流が流れなければ、ワイ

ワイヤW2は非接続であることを検知することができる。ただし、接続検査はワイヤW2が接続されている配線が信号線である場合に限っている。例えば、デジタル回路6'の入力端子に接続されている信号線などが対象である。

【0009】

【発明が解決しようとする課題】

従来では、電源線と接地線の接続状態を検査するための適切な方法はなかった。その理由を図17を用いて説明する。

【0010】

図17は、従来の電源線の接続検査方法に関する被検査LSIとその検査装置の構成図である。

【0011】

LSIの電源端子と接地端子として、チップ内部の回路に要求されている動作周波数や動作精度、あるいは電源ノイズ量を保証するために複数の端子が設けられている。ここでは、3つの電源端子が設けられたLSIの場合について説明をおこなう。接地端子については、電源端子と同様であるから説明を省略する。

【0012】

図17において、LSIの外部から内部への電圧供給は、被検査LSI4'のチップ内部にある3つのリードL4、L5、L6、ワイヤW4、W5、W6、パッドPD4、PD5、PD6により行われる。つまり、LSI側の電源線10'から分岐した電源線A、B、Cは、それぞれ、パッドPD4、PD5、PD6とワイヤW4、W5、W6を介して、3つのリードL4、L5、L6によって、プリント基板側電源線8'に接続されている。また、被検査LSI4'の電源線A、B、Cに各々接続されているサージ保護ダイオードD1、D2、D3のアノードには、図面の簡略化のために省略しているが、被検査LSI4'の外部から接地電圧GNDが供給されている。

【0013】

ここで、ワイヤW5の接続に不具合があって、LSI側電源線10'がプリント基板側電源線8'と断絶されていたとする。この場合、従来の信号線の検査方法を電源線の検査に適用すると、以下のような問題が生じてしまう。

【0014】

まず、プリント基板側電源線8'に電圧発生器12により電圧を与える。電圧発生器12が、プリント基板側電源線8'に与える電圧は-0.8Vである。ここで、電圧-0.8Vはサージ保護ダイオードの順方向電流が流れるときの電圧である。サージ保護ダイオードD1、D2、D3はそれぞれ、電源線A、B、Cに接続されており、順方向電流が流れる電圧が与えられる。従って、サージ保護ダイオードD2は、ワイヤW5が非接続であるが、ワイヤW4、W6と共通にLSI側電源線10'に接続されているために順方向電流が流れる。その結果、サージ保護ダイオードD1、D2、D3には順方向電流Ia、Ib、Icが流れる。

【0015】

これらの電流は、電圧発生器12によって、電流 $I = I_a + I_b + I_c$ として検知される。順方向電流Iは、ワイヤW5が非接続状態であっても流れる。ワイヤW4、W5、W6が接続されている場合は、順方向電流はサージ保護ダイオードD1、D2、D3に生じ、ワイヤW4、W6が接続されワイヤW5が非接続の場合でも順方向電流はサージ保護ダイオードD1、D2、D3に生じる。よって、ワイヤW5が非接続状態でも接続状態でも流れる電流量の変化はない。したがって、ワイヤW5の接続状態を検知することができない。

【0016】

上述の例において、ワイヤW5が非接続状態であるにも関わらず、ワイヤW4、W6が接続状態ならば、各々のサージ保護ダイオードに順方向電流が流れた。その理由は、被検査LSI4'の外部と内部では、各々、一つの電源線であって、外部の電源線に相当するプリント基板側電源線8'と内部の電源線に相当するLSI側電源線10'との間を、複数の電源線が並列接続されているためである。チップ内部の電源線を共通化する理由は、電源端子毎にチップ内部の電源線を分割することによる電源配線の面積の増大が、チップ・コストが高くなるのを避けるためである。

【0017】

また、電源線の分割は、各電源線における電圧ノイズ量に違いが発生し、回路

誤動作を引き起こしやすくなる。

【 0 0 1 8 】

さらに、被検査 L S I 4' の検査に使用されるプリント基板の電源線 8' が共通化されるのは、以下の理由がある。

【 0 0 1 9 】

L S I 外部では、電圧発生器 1 2 から被検査 L S I 4' のリード L 4、L 5、L 6 の間にある電源線のインピーダンスを小さくすることが望まれる。特に、インダクタンスを小さくする必要がある。そのために、プリント基板側電源線 8' を分割することで配線幅を細くしてしまわないで、電源線を共通化して幅を広く設計することになる。

【 0 0 2 0 】

次に、電源端子の接続検査を行わなければならない理由について説明する。

【 0 0 2 1 】

電源端子と接地端子の接続状態を確認することは、L S I の製品品質を保証する点で欠かせないものであるが、今後の L S I の特徴が次のように変化することに関係している。

- ①アナログ回路、デジタル回路、および各種メモリ回路を混載化した L S I の本格的な市場参入
- ②動作周波数が 2 0 0 M H z 以上の高速 L S I の品種数増大
- ③ L S I の低消費電力化の進行
- ④ L S I の小型パッケージ化の進行
- ⑤ L S I の低コスト化の進行

以下、電源端子と接地端子は同様であるので接地端子に関する説明は省略する。

【 0 0 2 2 】

上記①の混載化により、チップ内部に電源変動に対する特性が異なる回路が混載される。このため、電源端子数は増大する。上記②、③の高速化と低消費電力化のためには、電源端子のインダクタンスを小さくする必要がある。したがって、電源端子数が増大する。つまり、電源端子数を増加させるとインダクタンスが

低下するからである。上記④、⑤の小型パッケージ化と低コスト化のためには、電源端子数を必要最小限度にする必要がある。

【0023】

例えば、セラミックのチップ・サイズド・パッケージ（以下、C-CSPと呼ぶ）などによる、端子部分のインダクタンスが小さいという特徴を活かして、回路の動作周波数を増大させる目的でC-CSPを使用する場合も増加してくる。そして、電源端子の低インピーダンスを必要とする回路の場合は、アプリケーション上でLSIが実装されるプリント基板の電源線に寄生するインピーダンスも小さくなくてはならない。そうしなければ、低インピーダンスのパッケージを利用しても、プリント基板の電源線に寄生するインピーダンスの方が大きくなってしまえば、総合したインピーダンスが大きくなり、パッケージの低インピーダンス特性を有効に利用することができなくなる。

【0024】

また、プリント基板の電源インピーダンスを低下させなければならないのは、検査用プリント基板においても同じである。検査用のプリント基板の電源線に寄生するインピーダンスを小さくしなければ、アプリケーション上の動作と同じ動作状態を実現することができなくなる。それでは、精度の高い検査を行っているとは言えない。つまり、小型パッケージに実装されているLSIほど、検査用プリント基板の電源に寄生するインピーダンスを小さく設計する必要がある。

【0025】

結局、今後のLSIは電源端子数が増大し、電源端子に含まれるインピーダンス、特に、インダクタンスに重点をおいて設計する必要性が増す。より精度よく設計されたLSIの電源端子数と接地端子数であれば、全ての電源端子が接続されていることを検査する必要がある。それだけ、設計マージンが小さいためである。

【0026】

ここで、電源線に含まれるインダクタンスは、回路の動作速度、電磁輻射ノイズに密接な関係がある。例えば、デジタル回路が動作すると、電圧変動はインダクタの起電力によって生じる。デジタル回路の動作クロック信号に合わせて電源

電圧と接地電圧の電圧差 V_{diff} が減少する。この電圧差 V_{diff} は、インダクタンスが大きいほど小さくなる。電圧差 V_{diff} が小さくなると、デジタル回路の動作電流は減少する。従って、デジタル回路の動作速度は減少する。また、非接続状態の電源端子数が増加すれば、電磁輻射ノイズ量は増大する。

【0027】

すなわち、動作周波数と電磁輻射ノイズ量を満足するために必要な電源端子数があったとき、電源端子の接続不良によって、接続状態の電源端子数が減少すると、動作周波数は低下し、電磁輻射ノイズ量は増大することになる。

【0028】

ところで、被検査 LSI の最大動作周波数が電磁輻射ノイズ量を測定することによって、電源端子の接続不良を検出することも可能である。しかし、動作周波数や電磁輻射ノイズ量を測定するためには、多大な検査時間が必要となる。多くの検査時間を必要とする検査をする前に、簡単な方法で電源端子の接続検査を行うことができれば、全検査時間を削減する上でも有効な手段となる。

【0029】

電源端子と接地端子の接続状態を検査する必要性は、これまで以上に高まってくる。今後、LSI の動作周波数は必然的に高くなるので、電源線と接地線のインダクタンスを低下させなければならない。それだけ、LSI のアプリケーション上の動作に近い検査状態を実現する必要性がある。電源端子と接地端子の接続検査を実施することがより優れた LSI の品質を保証する。

【0030】

また、検査時間は短いほどよい。しかしながら、そのような要求を満足する検査方法が今までなかった。

【0031】

したがって、本発明は、前記の問題に鑑みてなされたものであり、アプリケーション上の LSI の実装状態に近い検査用プリント基板を実現でき、検査装置に多種の性能を要求せず、検査に必要な時間が短く、低コストで電源端子と接地端子の接続状態を検査することが可能な半導体装置を提供することを目的とする。

【0032】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第1の半導体装置は、半導体集積回路を有する半導体装置であって、前記半導体集積回路の内部に設けられた第1の内部配線および第2の内部配線と、前記半導体集積回路の内部に設けられた第1の内部端子、第2の内部端子、第3の内部端子、および第4の内部端子と、前記半導体集積回路の外部に設けられた第1の外部配線および第2の外部配線と、前記第1の外部配線と前記第1の内部端子を接続するための第1の接続部と、前記第1の外部配線と前記第2の内部端子を接続するための第2の接続部と、前記第2の外部配線と前記第3の内部端子を接続するための第3の接続部と、前記第2の外部配線と前記第4の内部端子を接続するための第4の接続部と、前記第1の内部端子と前記第1の内部配線との間に接続された第1のスイッチ部と、前記第2の内部端子と前記第1の内部配線との間に接続された第2のスイッチ部と、前記第1の内部配線と前記第2の内部配線との間に接続された第3のスイッチ部と、前記第3の内部端子と前記第2の内部配線との間に接続された第4のスイッチ部と、前記第4の内部端子と前記第2の内部配線との間に接続された第5のスイッチ部とを備え、前記第1の接続部による前記第1の外部配線と前記第1の内部端子との接続状態および前記第3の接続部による前記第2の外部配線と前記第3の内部端子との接続状態を検査するときには、前記第1のスイッチ部、前記第3のスイッチ部、および前記第4のスイッチ部が閉状態にされると共に、前記第2のスイッチ部および前記第5のスイッチ部が開状態にされ、前記第1の外部配線と前記第2の外部配線とに検査信号が与えられることを特徴する。

【0033】

この第1の半導体装置によれば、電源端子および接地端子における接続状態の検査を可能にし、検査に必要な時間も短縮することが可能になる。また、半導体集積回路の外部にある電源線と接地線のインダクタンスを小さくすることができるので、LSIの高速化および低消費電力化に対応することが可能になる。

【0034】

前記第1の半導体装置において、前記第3のスイッチ部は、前記第3のスイッチ部が閉状態のときにそこを流れる電流を所定量に制限する電流制限機能を有す

ることが好ましい。

【 0 0 3 5 】

この構成によれば、検査装置に含まれる電圧発生回路の許容電流値を超えない電流量で検査をすることができる。また、電圧発生回路は、出力電流の許容値を超えないため過電流保護回路が動作せずその復帰のための時間も要さないので、検査時間を短縮することができる。

【 0 0 3 6 】

また、前記第 1 の半導体装置は、前記半導体集積回路の内部に、前記第 1 から第 5 のスイッチ部の開閉動作を制御するスイッチ制御部を備えることが好ましい。

【 0 0 3 7 】

この構成によれば、各スイッチ部の開閉動作に要する時間を短縮することができるので、検査時間を短縮することが可能になる。

【 0 0 3 8 】

また、前記第 1 の半導体装置において、前記第 2 のスイッチ部は P チャンネル MOS トランジスタを備え、前記第 1 の半導体装置はさらに、前記半導体集積回路の内部に N チャンネル MOS トランジスタを備え、前記 P チャンネル MOS トランジスタのソース端子は前記第 2 の内部端子に接続され、そのドレイン端子は前記第 1 の内部配線に接続されており、所定の電圧が前記第 1 の外部配線と前記第 2 の外部配線に与えられたときに前記 P チャンネル MOS トランジスタが導通状態になるように、前記 N チャンネル MOS トランジスタのゲート端子が前記第 2 の内部端子に接続され、そのソース端子が前記第 4 の内部端子に接続され、そのドレイン端子が前記 P チャンネル MOS トランジスタのゲート端子に接続されていることが好ましい。

【 0 0 3 9 】

この構成によれば、第 1 の外部配線と第 2 の外部配線に所定の電圧を与えることで、第 2 のスイッチ部を閉状態にすることができる。

【 0 0 4 0 】

また、前記第 1 の半導体装置において、前記第 5 のスイッチ部は N チャンネル

MOSトランジスタを備え、前記第1の半導体装置はさらに、前記半導体集積回路の内部にPチャンネルMOSトランジスタを備え、前記NチャンネルMOSトランジスタのソース端子は前記第4の内部端子に接続され、そのドレイン端子は前記第2の内部配線に接続されており、所定の電圧が前記第1の外部配線と前記第2の外部配線に与えられたときに前記NチャンネルMOSトランジスタが導通状態になるように、前記PチャンネルMOSトランジスタのゲート端子が前記第4の内部端子に接続され、そのソース端子が前記第2の内部端子に接続され、そのドレイン端子が前記NチャンネルMOSトランジスタのゲート端子に接続されていることが好ましい。

【0041】

この構成によれば、第1の外部配線と第2の外部配線に所定の電圧を与えることで、第5のスイッチ部を閉状態にすることができる。

【0042】

前記の目的を達成するため、本発明に係る第2の半導体装置は、半導体集積回路を有する半導体装置であって、前記半導体集積回路の内部に設けられた内部配線と、前記半導体集積回路の内部に設けられた第1の内部端子および第2の内部端子と、前記半導体集積回路の外部に設けられた第1の外部配線と、前記第1の外部配線と前記第1の内部端子を接続するための第1の接続部と、前記第1の外部配線と前記第2の内部端子を接続するための第2の接続部と、前記第1の内部端子と前記内部配線との間に接続された第1のスイッチ部と、前記第2の内部端子と前記内部配線との間に接続された第2のスイッチ部と、前記内部配線に流れる電流を検知するための電流検知部とを備え、前記第1のスイッチ部を閉状態にすると共に前記第2のスイッチ部を開状態にし、前記電流検知部による検知結果によって、前記第1の接続部による前記第1の外部配線と前記第1の内部端子との接続状態が検査されることを特徴とする。

【0043】

この第2の半導体装置によれば、半導体集積回路の外部に電流検知回路を設ける必要がなく、外部の検査装置の検査能力に対する負担を軽減し、低コストの検査を行うことができる。

【0044】

前記第2の半導体装置は、前記半導体集積回路の内部に、前記第1および第2のスイッチ部の開閉動作を制御するスイッチ制御部を備えることが好ましい。

【0045】

この構成によれば、各スイッチ部の開閉動作に要する時間を短縮することができるので、検査時間を短縮することが可能になる。

【0046】

前記第2の半導体装置において、前記第2のスイッチ部はPチャンネルMOSトランジスタを備え、前記第2の半導体装置はさらに、前記半導体集積回路の内部にNチャンネルMOSトランジスタを備え、前記PチャンネルMOSトランジスタのソース端子は前記第2の内部端子に接続され、そのドレイン端子は前記内部配線に接続されており、所定の電圧が前記第1の外部配線と前記半導体集積回路の外部に設けられた第2の外部配線とに与えられたときに前記PチャンネルMOSトランジスタが導通状態になるように、前記NチャンネルMOSトランジスタのゲート端子が前記第2の内部端子に接続され、そのソース端子が前記第2の外部配線に接続され、そのドレイン端子が前記PチャンネルMOSトランジスタのゲート端子に接続されていることが好ましい。

【0047】

また、前記第2の半導体装置において、前記第2のスイッチ部はNチャンネルMOSトランジスタを備え、前記第2の半導体装置はさらに、前記半導体集積回路の内部にPチャンネルMOSトランジスタを備え、前記NチャンネルMOSトランジスタのソース端子は第1の外部配線に接続され、そのドレイン端子は前記内部配線に接続されており、所定の電圧が前記第1の外部配線と前記半導体集積回路の外部に設けられた第2の外部配線に与えられたときに前記NチャンネルMOSトランジスタが導通状態になるように、前記PチャンネルMOSトランジスタのゲート端子が前記第1の外部配線に接続され、そのソース端子が前記第2の外部配線に接続され、そのドレイン端子が前記NチャンネルMOSトランジスタのゲート端子に接続されていることが好ましい。

【0048】

これにより、第 1 の外部配線と第 2 の外部配線に所定の電圧を与えることで、第 2 のスイッチ部を閉状態にすることができる。

【 0 0 4 9 】

前記の目的を達成するため、本発明に係る第 3 の半導体装置は、半導体集積回路を有する半導体装置であって、前記半導体集積回路の内部に設けられた内部配線と、前記半導体集積回路の内部に設けられた第 1 の内部端子、第 2 の内部端子、および第 3 の内部端子と、前記半導体集積回路の外部に設けられた第 1 の外部配線および第 2 の外部配線と、前記第 1 の外部配線と前記第 1 の内部端子を接続するための第 1 の接続部と、前記第 1 の外部配線と前記第 2 の内部端子を接続するための第 2 の接続部と、前記第 2 の外部配線と前記第 3 の内部端子を接続するための第 3 の接続部と、前記第 1 の内部端子と前記内部配線との間に接続された第 1 のスイッチ部と、前記第 2 の内部端子と前記内部配線との間に接続された第 2 のスイッチ部と、前記第 3 の内部端子と前記内部配線との間に接続された第 3 のスイッチ部とを備え、前記第 1 の接続部による前記第 1 の外部配線と前記第 1 の内部端子との接続状態を検査するときには、前記第 1 のスイッチ部と前記第 3 のスイッチ部を閉状態にすると共に、前記第 2 のスイッチ部を開状態にすることを特徴とする。

【 0 0 5 0 】

この第 3 の半導体装置によれば、電源端子および接地端子における接続状態の検査を可能にし、検査に必要な時間も短縮することが可能になる。また、半導体集積回路の外部にある電源線と接地線のインダクタンスを小さくすることができるので、LSI の高速化および低消費電力化に対応することが可能になる。

【 0 0 5 1 】

前記第 3 の半導体装置は、前記半導体集積回路の内部に、前記第 1 のスイッチ部、前記第 2 のスイッチ部、および前記第 3 のスイッチ部の開閉動作を制御するスイッチ制御部を備えることが好ましい。

【 0 0 5 2 】

この構成によれば、各スイッチ部の開閉動作に要する時間を短縮することができるので、検査時間を短縮することが可能になる。

【 0 0 5 3 】

前記第 3 の半導体装置において、前記第 2 のスイッチ部は P チャンネル MOS トランジスタを備え、前記第 3 の半導体装置はさらに、前記半導体集積回路の内部に N チャンネル MOS トランジスタを備え、前記 P チャンネル MOS トランジスタのソース端子は前記第 2 の内部端子に接続され、そのドレイン端子は前記内部配線に接続されており、所定の電圧が前記第 1 の外部配線と前記第 2 の外部配線に与えられたときに前記 P チャンネル MOS トランジスタが導通状態になるように、前記 N チャンネル MOS トランジスタのゲート端子が前記第 2 の内部端子に接続され、そのソース端子が前記第 2 の外部配線に接続され、そのドレイン端子が前記 P チャンネル MOS トランジスタのゲート端子に接続されていることが好ましい。

【 0 0 5 4 】

また、前記第 3 の半導体装置において、前記第 2 のスイッチ部は N チャンネル MOS トランジスタを備え、前記第 3 の半導体装置はさらに、前記半導体集積回路の内部に P チャンネル MOS トランジスタを備え、前記 N チャンネル MOS トランジスタのソース端子は前記第 2 の内部端子に接続され、そのドレイン端子は前記半導体集積回路の内部に設けられた内部配線に接続されており、所定の電圧が前記第 1 の外部配線と前記第 2 の外部配線に与えられたときに前記 N チャンネル MOS トランジスタが導通状態になるように、前記 P チャンネル MOS トランジスタのゲート端子が前記第 2 の内部端子に接続され、そのソース端子が前記第 2 の外部配線に接続され、そのドレイン端子が前記 N チャンネル MOS トランジスタのゲート端子に接続されていることが好ましい。

【 0 0 5 5 】

これにより、第 1 の外部配線と第 2 の外部配線に所定の電圧を与えることで、第 2 のスイッチ部を閉状態にすることができる。

【 0 0 5 6 】

前記の目的を達成するため、本発明に係る第 4 の半導体装置は、半導体集積回路を有する半導体装置であって、前記半導体集積回路の内部に設けられた第 1 の内部配線と、前記半導体集積回路の内部に設けられた第 1 の内部端子および第 2

の内部端子と、前記半導体集積回路の外部に設けられた第 1 の外部配線と、前記半導体集積回路の外部に設けられ前記第 1 の内部配線に接続された第 2 の外部配線と、前記第 1 の外部配線と前記第 1 の内部端子を接続するための第 1 の接続部と、前記第 1 の外部配線と前記第 2 の内部端子を接続するための第 2 の接続部と、前記第 1 の内部端子と前記第 1 の内部配線との間に接続された第 1 のスイッチ部と、前記第 2 の内部端子と前記第 1 の内部配線との間に接続された第 2 のスイッチ部とを備え、前記第 1 の接続部による前記第 1 の外部配線と前記第 1 の内部端子との接続状態を検査するときには、前記第 1 のスイッチ部を閉状態にすると共に前記第 2 のスイッチ部を開状態にして、前記第 1 の外部配線から前記第 2 の外部配線に検査信号を与えることを特徴とする。

【 0 0 5 7 】

この第 4 の半導体装置によれば、電源端子および接地端子における接続状態の検査を可能にし、検査に必要な時間も短縮することが可能になる。また、半導体集積回路の外部にある電源線と接地線のインダクタンスを小さくすることができるので、L S I の高速化および低消費電力化に対応することが可能になる。さらに、I D D Q テストを容易に実行することができる。

【 0 0 5 8 】

前記第 4 の半導体装置は、前記半導体集積回路の内部に、前記第 1 および第 2 のスイッチ部の開閉動作を制御するスイッチ制御部を備えることが好ましい。

【 0 0 5 9 】

この構成によれば、各スイッチ部の開閉動作に要する時間を短縮することができるので、検査時間を短縮することが可能になる。

【 0 0 6 0 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

【 0 0 6 1 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る被検査 L S I とその検査装置の基本構成図である。

【 0 0 6 2 】

図 1 において、1 は電圧源、2 は電圧源 1 の出力電流を計測する電流計、3 は検査装置、4 は被検査 L S I、5 は検査制御回路（スイッチ制御部）である。6 は L S I の電源線 1 0（第 1 の内部配線）と L S I の接地線 1 1（第 2 の内部配線）との間に接続されている回路群であり、例えば、乗算器などのように複数のデジタル回路が含まれる回路である。7 は半導体チップ（以下、チップと呼ぶ。）である。

【 0 0 6 3 】

被検査 L S I 4 の電源端子は、リード L 1、L 2、L 3、ワイヤ W 1、W 2（第 1、第 2 の接続部）、W 3、およびパッド P D 1、P D 2（第 1、第 2 の内部端子）、P D 3 によって構成されており、接地端子は、リード L 4、L 5、L 6、ワイヤ W 4、W 5（第 3、第 4 の接続部）、W 6、およびパッド P D 4、P D 5（第 3、第 4 の内部端子）、P D 6 によって構成されている。そして、被検査 L S I 4 の外部にあるプリント基板の電源線 8（第 1 の外部配線）と接地線 9（第 2 の外部配線）が、それぞれ、パッケージのリード L 1～L 3 とリード L 4～L 6 に接続されている。パッケージのリード L 1～L 6 とチップ 7 のパッド P D 1～P D 6 の間は、ワイヤ W 1～W 6 によって接続されている。

【 0 0 6 4 】

スイッチ S W 1（第 1 のスイッチ部）、S W 2（第 2 のスイッチ部）、S W 3 が、それぞれ、電源側のパッド P D 1、P D 2、P D 3 と L S I の電源線 1 0 との間に接続されている。一方、スイッチ S W 4（第 4 のスイッチ部）、S W 5（第 5 のスイッチ部）、S W 6 が、それぞれ、接地側のパッド P D 4、P D 5、P D 6 と L S I の接地線 1 1 との間に接続されている。さらに、L S I の電源線 1 0 と L S I の接地線 1 1 との間には、スイッチ S W T（第 3 のスイッチ部）が接続されている。L S I の電源線 1 0 と L S I の接地線 1 1 により、チップ 7 の内部にある回路群 6 に動作電流が供給される。

【 0 0 6 5 】

次に、被検査 L S I 4 を構成するチップ 7 のパッケージへの封入状態について述べる。

【0066】

例えば、プラスチック・パッケージを使ってチップ7を封入する場合は、チップ7のパッドとパッケージのリードとを電氣的に接続するためにワイヤを用いる。ワイヤをパッドとリード間に接続した後に、プラスチックによってチップを封入する。ところで、ワイヤがパッドあるいはリードとの接続が不適切となる場合としては、チップ7をプラスチック・パッケージに封入する過程において、ワイヤがリードやパッドから離れてしまう場合がある。したがって、チップ7をプラスチック・パッケージに封入した後に、ワイヤの接続が適切に実現できているか否かを検査する必要がある。

【0067】

次に、ワイヤの接続状態の検査方法について述べる。

【0068】

ワイヤW1、W4の接続状態を検査するための手順について、図1を参照しながら説明する。まず、スイッチSW1、SW4、SWTを閉状態にし、スイッチSW2、SW3、SW5、SW6を開状態にする。これらのスイッチの開閉動作は、検査制御回路5によって制御されている。この場合は、検査装置3の電圧源1から図示の矢印で示された電流が流れる。この電流は、図示のように、プリント基板の電源線8から被検査LSI4の内部を通り、プリント基板の接地線9に流れる。スイッチのうちで閉状態にあるのは、スイッチSW1、SWT、SW4であるから、電流の経路はスイッチSW1、SWT、SW4を通る経路だけである。従って、電圧源1をプリント基板の電源線8とプリント基板の接地線9に与えたときに、電流が流れるか否かを検知することで、ワイヤW1、W4の接続状態を検査することができる。

【0069】

ワイヤW1、W4の両方が、各々、パッドPD1、PD4とリードL1、L4との間に接続されていれば、電圧源1から出力される電流が流れる。一方、ワイヤW1、W4の少なくとも一つが非接続状態にある場合には、プリント基板の電源線8とプリント基板の接地線9に電圧が与えられても電流は流れない。電圧源1から出力された電流が流れたか否かは、電流計2によって検知される。電流計

2 が電流を検出すれば、ワイヤ W 1、W 4 は接続されており、電流を検出しなければ、ワイヤ W 1、W 4 のどちらか一方か両方が非接続状態であることを検知することができる。

【 0 0 7 0 】

ところで、電圧源 1 を与えても電流が流れないことによって、ワイヤ W 1、W 4 のどちらか一方か両方が非接続であることは検知するが、ワイヤ W 1、W 4 のうちで、どちらのワイヤが非接続であるかは特定する必要はない。というのは、全て電源端子と接地端子が接続されている L S I と、一つでも電源端子か接地端子が非接続である L S I とを分別することができればよく、何れか一つの端子でも非接続であれば不良品の L S I となるためである。

【 0 0 7 1 】

しかしながら、非接続端子を特定する必要が発生した場合には、スイッチの開閉状態と電流検出結果を総合することにより、非接続状態にあるワイヤを特定することが可能である。例えば、ワイヤ W 1、W 4 のうちで、どちらが非接続状態であるかを特定するためには、上述の検査と、次の検査結果を組み合わせる必要がある。

【 0 0 7 2 】

2 回目の検査として、スイッチ S W 1、S W 5、S W T を閉状態に、スイッチ S W 2、S W 3、S W 4、S W 6 を開状態にして、電圧源 1 から電流が流れるかどうかを検査する。電流が流れたならば、リード L 1、L 5 は接続されていることになるので、前回の検査結果と合わせてリード L 4 が非接続状態であることが特定できる。

【 0 0 7 3 】

一方、2 回目の検査でも電流が流れなければ、2 回目の検査でのスイッチの開閉状態から、スイッチ S W 5 を開状態に移行させ、スイッチ S W 6 を閉状態に移行させて電流が流れるかどうかを検査する。電流が流れれば、前回の 2 回の結果と合わせてリード L 4 が非接続であったことがわかる。一方、電流が流れなければ、リード L 1 が非接続であったことがわかる。

【 0 0 7 4 】

ただし、3回の検査の全てにおいて、電流が検知されなかった場合には、リードL4、L5、L6の全てが非接続状態にある確率は極めて小さいという前提条件を考慮して、リードL1が非接続状態であると判断している。つまり、3つの検査で全て電流が検知されなかった場合は、論理的には、リードL1が非接続であったか、リードL4、L5、L6が全て非接続であったかを特定することは出来ない。しかし、リードL4、L5、L6の全てが非接続になる可能性は極めて小さいと考えれば、リードL1が非接続状態であると特定することが可能となる。

【 0 0 7 5 】

残りのワイヤW2、W3、W5、W6の検査方法は、ワイヤW1、W4の接続検査と同様にして行われる。ワイヤW2、W5の接続状態を検知するためには、スイッチSW2、SW5、SWTを閉状態に、スイッチSW1、SW3、SW4、SW6を開状態にして、電圧源1から出力される電流を電流計2で検知する。ワイヤW3、W6の接続状態を検査するためには、スイッチSW3、SW6、SWTを閉状態に、スイッチSW1、SW2、SW4、SW5を開状態にして、電圧源1から出力される電流を電流計2で検知する。

【 0 0 7 6 】

ここで、スイッチSW1～3、スイッチSW4～6の役割としては、電圧源1からの電流が流れる経路を、並列接続されているワイヤW1～W3、ワイヤW4～W6から検査対象になるワイヤだけに限定することにある。スイッチSWTは、電圧源1から供給される電流が、LSIの電源線10からLSIの接地線11に流れる経路を作成する役割をしている。そして、スイッチSWTは、電源端子側のワイヤと接地端子側のワイヤの両方を一度に検査できるようにする役割がある。

【 0 0 7 7 】

以上のように、図1を参照しながら、チップ7の電源端子と接地端子は、各々に3つの端子が接続されている場合について説明した。しかしながら、電源端子か接地端子のどちらか一方の端子が単一である場合には、単一の端子である端子側に接続されているスイッチSW1～3、あるいはSW4～6は不要になる。例

えば、接地端子側が単一の端子ならば、スイッチ S W 4 ～ 6 は不要になり、単一のパッドと L S I の接地線間にスイッチを介さずに直接接続すればよい。

【 0 0 7 8 】

(第 2 の実施形態)

本発明の第 2 の実施形態として、CMOS トランジスタで構成された L S I の接続検査について、図 2 および図 3 を参照して説明する。

【 0 0 7 9 】

図 2 は、本発明の第 2 の実施形態に係る被検査 L S I とその検査装置の構成図である。

【 0 0 8 0 】

まず、図 2 に示す構成について説明する。19 は電圧源と該電圧源から出力している電流を測定する電流計とが内蔵されている電圧発生器であり、20 はクロック発生器であり、21 は信号源である。18 は検査装置であり、電圧発生器 19、クロック発生器 20、および信号源 21 を含んでいる。22 は検査制御回路(スイッチ制御部)であり、17 は被検査 L S I であり、16 はチップである。プリント基板の電源線 8 (第 1 の外部配線)と接地線 9 (第 2 の外部配線)は、被検査 L S I 17 と検査装置 18 を接続するために設けられている。プリント基板と検査装置 18 は被検査 L S I 17 の外部に存在している。

【 0 0 8 1 】

被検査 L S I 17 は、3 つの電源端子を備え、プリント基板の電源線 8 と L S I の電源線 10 (第 1 の内部配線)との間には、リード L 1、L 2、L 3、ワイヤ W 1、W 2 (第 1、第 2 の接続部)、W 3、パッド P D 1 (第 1 の内部端子)、P D 2、P D 3 (第 2 の内部端子)によって接続されている。PMOS トランジスタで形成されているスイッチ M P 1 (第 1 のスイッチ部)、M P 2、および M P S 3 / M P M 3 (第 2 のスイッチ部)が、対応するパッド P D 1、P D 2、P D 3 と L S I の電源線 10 (第 1 の内部配線)との間に接続されている。接地端子側も電源端子と同じ構成であるが、スイッチ M N 1 (第 4 のスイッチ部)、M N 2、および M N S 3 / M N M 3 (第 5 のスイッチ部)が、PMOS ではなく NMOS トランジスタである点が異なる。スイッチ M N 1、M N 2、および M N S

3/MNM3は、対応するパッドPD4（第3の内部端子）、PD5、PD6（第4の内部端子）とLSIの接地線11（第2の内部配線）との間に接続されている。リードL1～L6は、被検査LSI17の外部に接続可能な端子であり、リードL1～L3はプリント基板の電源線8に、リードL4～L6はプリント基板の接地線9に電氣的に接続されている。

【0082】

LSIの電源線10とLSIの接地線11の間にはスイッチMT（第3のスイッチ部）が接続されている。スイッチMPS3/MPM3とパッドPD3の接続点には、スイッチMPT（PチャンネルMOSトランジスタ）のソース端子SとスイッチMNT（NチャンネルMOSトランジスタ）のゲート端子Gが接続され、スイッチMNS3/MNM3とパッドPD6との接続点には、スイッチMNTのソース端子SとスイッチMPTのゲート端子Gが接続され、スイッチMPS3のゲート端子Gには、スイッチMNTのドレイン端子Dが接続され、スイッチMNS3のゲート端子GにはスイッチMPTのドレイン端子Dが接続されている。

【0083】

LSIの電源線10と接地線11は、被検査LSI17の内部にある回路群15に接続されており、動作電流を供給する。回路群15は、図1の回路群6と同じであり、例えば、乗算器やデコーダなどの多数の論理回路を含むデジタル回路群である。検査制御回路22の動作電流は、LSIの電源線と接地線から、それぞれVdd端子、Vss端子に供給される。

【0084】

スイッチMP1、MP2、MPM3と、スイッチMT、MN1、MN2、MNM3の閉状態における抵抗値は、信号出力端子に設けられている被検査LSI17の外部の負荷容量を駆動する出力回路の最終段トランジスタと同程度であればよい。スイッチMPS3、MNS3、MPT、MNTは、スイッチMP1、MP2、MPM3と、スイッチMT、MN1、MN2、MNM3よりも十分に小さい駆動力でよい。

【0085】

各スイッチは、出力回路の最終段トランジスタと比べて、同等の面積かそれ以下となる。したがって、出力回路が形成されている出力端子の回路ブロックの面積で、各スイッチを各々の電源端子ブロックと接地端子ブロックに配置することができる。元々、電源端子ブロックと接地端子ブロックは出力端子ブロックと同じ大きさなので、検査に必要なスイッチは、被検査 L S I 1 7 のチップ面積を増大させることはない。検査制御回路 2 2 は、少ない論理回路で構成できるので、電源端子ブロックと接地端子ブロックの空き領域に配置可能である。従って、検査を実現する上で必要なトランジスタを、被検査 L S I 1 7 上に配置してもチップ面積を増大させることはない。

【 0 0 8 6 】

次に、電源端子と接地端子の接続検査の手順について、図 2 および図 3 を参照しながら詳細な説明を行う。

【 0 0 8 7 】

図 3 は、検査時の動作状態を示すタイミングチャートである。図 3 において、信号 P 1、P 2、P S、P M は反転信号で示されている。

【 0 0 8 8 】

まず、被検査 L S I 1 7 の電源端子と接地端子の接続検査を行うために、電圧発生器 1 9 から被検査 L S I 1 7 に電圧を与える。供給する電圧は 3. 3 V であるとする。例えば、ワイヤ W 3、W 6 がパッド P D 3、P D 6 とリード L 3、L 6 間に接続されていれば、スイッチ M P T のソース端子 S とゲート端子 G の間には電圧 3. 3 V が与えられ、スイッチ M N T のソース端子 S とゲート端子 G の間にも、電圧 3. 3 V が与えられる。その結果、スイッチ M P T と M N T は導通状態となり、スイッチ M P S 3 のゲート端子 G は電圧 0 V となり、スイッチ M N S 3 のゲート端子 G は 3. 3 V となる。これにより、スイッチ M P S 3 と M N S 3 は導通状態に変化する。スイッチ M P S 3 と M N S 3 が導通状態になることによって、L S I の電源線 1 0 と接地線 1 1 には電圧 3. 3 V と 0 V が与えられる。

【 0 0 8 9 】

検査制御回路 2 2 の V d d 端子と V s s 端子は、それぞれ、L S I の電源線 1 0 と接地線 1 1 に接続されているので、ワイヤ W 3、W 6 が接続状態であれば、

検査制御回路 22 には電圧が供給され活性状態となる。一方、ワイヤ W3、W6 が非接続状態であれば、検査制御回路 22 には電圧が供給されずに非活性となる。そして、スイッチ MPM3、MNM3、MT が、検査制御回路 22 に含まれるスイッチ駆動回路からの信号 PM、NM、T によって閉動作に移行する。

【0090】

ワイヤ W3、W6 が接続状態であれば、電圧発生器 19 から出力された電流はワイヤ W3、スイッチ MPS3 / MPM3、MT、MNS3 / MNM3、およびワイヤ W6 を介して接地 GND に流れる。ここで、スイッチ MT のゲート端子 G に 3.3 V、ソース端子 S に 0 V、ドレイン端子 D に 3.3 V が与えられたときに、ドレイン端子 D とソース端子 S の間に流れる電流を 100 mA に制限すると、電圧発生器 19 に含まれる電流計により 100 mA の電流が検出されることになる。ただし、並列スイッチ MPS3 / MPM3 と並列スイッチ MNS3 / MNM3 の導通抵抗はゼロとする。また、電圧発生器 19 が検出する電流には、検査制御回路 22 の動作電流も含まれる。しかし、検査制御回路 22 が消費する電流は非常に少ないとして無視している。結局、ワイヤ W3、W6 が接続されていれば、電圧発生器 19 は電流 100 mA を検出し、非接続であれば電流は検出しない。

【0091】

ここで、スイッチ MT に流れる電流を 100 mA に制限するのは、電圧発生器 19 の電流出力能力を超えないようにするためである。仮に、スイッチ MT を流れる電流が 2 A であって、電圧発生器 19 の電流出力能力が最大 1 A であったならば、電圧発生器 19 の過電流保護回路が動作してしまう。過電流保護回路が動作すると、電圧発生器 19 が通常動作に復帰するまでに時間がかかってしまう。復帰に必要な時間は、検査時間を長くするので、スイッチ MT に流れる最大電流を 100 mA にして、電圧発生器 19 の電流出力能力を超えないようにしている。

【0092】

また、ワイヤの許容電流を越えない電流で検査できるようにすることができる。検査時の電流制限は、スイッチ MP1、MP2、MPS3 / MPM3、MN1

、MN2、MNS3、MNM3の導通時の電流によっても制限することができる。しかし、これらのスイッチは、回路群15が通常動作する場合には、電源線と接地線の寄生抵抗となるため、導通時はできるだけ小さい抵抗値で大きな電流が通過できるように設計する。そのため、スイッチMP1、MP2、MPS3/MPM3、MN1、MN2、MNS3/MNM3によって電流を制限することはできない。そのため、通常動作では開状態になり、検査時には閉状態となるスイッチMTに導通時の電流制限を行わせるのがよい。

【0093】

次に、ワイヤW1とW4の接続を確認するために、検査制御回路22からの信号P1、N1によりスイッチMP1とMN1を閉状態にする。スイッチMTは閉状態のままである。その後、検査制御回路22からの信号PS、PM、NS、NMによって、それぞれ、スイッチMPS3、MPM3、MNS3、MNM3を開状態にする。スイッチMP2とMN2は開状態のままである。ここで、スイッチMPS3とMNS3のゲート端子Gは、スイッチMNTとMPTのドレイン端子Dが接続されている。スイッチMPTとスイッチMNTは、それぞれのゲート端子に0Vと電圧3.3Vが与えられているので閉状態である。したがって、スイッチMPS3とMNS3のゲート端子Gには、それぞれ、GNDからスイッチMNTを介した電圧0Vが、また電圧発生器19からスイッチMPTを介した電圧3.3Vが与えられており、スイッチMPS3とMNS3は閉状態にある。

【0094】

ここで、スイッチMPS3とMNS3のゲート端子Gに、スイッチMPTとスイッチMNTの駆動力よりも十分に強力な駆動力を持つ検査制御回路22の駆動回路から信号PSとNSとして、電圧3.3Vと電圧0Vを与える。つまり、MPS3とMNS3を開状態にする。

【0095】

なお、スイッチの開閉動作において、スイッチMPS3、MNS3、MPM3、MNM3を開状態にする前に、スイッチMP1とMN1を閉状態にする必要がある。その理由は、スイッチMPS3、MPM3、MNS3、MNM3の閉状態の期間とスイッチMP1、MN1が閉状態の期間が重なる期間 t_a （図3参照）

を設けることで、検査制御回路 22 に電圧発生器 19 からの電圧 3.3 V が一時的に遮断されることのないようにするためである。すなわち、スイッチ MP S 3、MP M 3、MN S 3、MN M 3 の開状態と、スイッチ MP 1、MN 1 の開状態とが両立しないようにしている。また、各スイッチの動作タイミングを制御する信号 P 1、P 2、P S、P M、N 1、N 2、N S、N M は、クロック発生器 20 のクロック信号 CLK を基準に生成されている。

【0096】

ワイヤ W 1、W 4 が接続されていれば、電圧発生器 19 から出力された電流は、ワイヤ W 1、スイッチ MP 1、MT、MN 1、ワイヤ W 4 を介して接地 GND に流れる。この電流は、電圧発生器 19 の電流計に検出される。一方、ワイヤ W 1、W 4 の両方か一方が非接続状態であれば電流は検出されない。

【0097】

次に、ワイヤ W 2、W 5 の接続状態を検査する場合は、スイッチ MP 2、MN 2、MT を閉状態にし、スイッチ MP 1、MP S 3、MP M 3、MN 1、MN S 3、MN M 3 を開状態にして、電圧発生器 19 から出力される電流を検知する。この検査は、ワイヤ W 1、W 4 の検査と同様であるので、詳細な説明を省略する。

【0098】

図 3 中に、電圧発生器 19 の電流計によって検出される電流パターンとしてケース 1、2 を示した。ケース 1 はワイヤ W 1～W 6 が接続されている場合であり、ケース 2 はワイヤ W 2、W 5 の両方か一方が非接続状態の場合である。

【0099】

検査制御回路 22 が被検査 L S I 17 に形成されることで、スイッチ MP 1、MP 2、MP S 3、MP M 3、MN 1、MN 2、MN S 3、MN M 3 を駆動するときの配線容量を削減することができる。故に、各スイッチの開閉動作は、短時間で行うことができるので検査時間が短縮される。また、信号 P 1、P 2、P S、P M、T、N 1、N 2、N S、N M をチップ内部で生成するので、被検査 L S I 17 の入力信号端子が不用となる。ただし、検査制御回路 22 は被検査 L S I 17 に含まれる必要は必ずしもなく、被検査 L S I 17 の外部にあっても、電源

端子と接地端子の接続検査を阻害するものではない。

【 0 1 0 0 】

図 4 は、被検査 L S I 1 7 が通常動作を行う場合の各スイッチの開閉状態を示すタイミングチャートである。図 4 において、信号 P 1、P 2、P S、P M は反転信号で示されている。

【 0 1 0 1 】

通常動作時は、電圧発生器 1 9 から電圧 3. 3 V が与えられると、スイッチ M P T、M N T によって、スイッチ M P S 3、M N S 3 が閉状態になる。検査制御回路 2 2 には電圧 3. 3 V が与えられ、検査制御回路 2 2 に含まれる駆動回路によって、スイッチ M P 1、M N 1、M P 2、M N 2、M P M 3、M N M 3 を閉状態にし、スイッチ M T を開状態にする。

【 0 1 0 2 】

被検査 L S I 1 7 が、検査状態になるのか、通常動作状態になるのかは、信号源 2 1 からの検査信号 S I G によって決定される。検査信号 S I G が入力されている間は検査状態であり、検査信号が入力されていない場合は、通常動作状態になる。

【 0 1 0 3 】

また、スイッチ M P S 3、M N S 3 は、被検査 L S I 1 7 への電源投入によって、L S I の電源線と接地線に電圧を供給するための回路である。スイッチ M P S 3、M N S 3 のゲート端子 G は、それぞれ、駆動力の小さいスイッチ M N T、M P T によって駆動される。スイッチ M P S 3、M N S 3 の開閉動作の所要時間を短くするためには、閉状態での抵抗値を下げるよりも、ゲート端子 G の入力容量を小さく設計するのがよい。閉状態での抵抗値を小さくするためには、スイッチ M P S 3、M N S 3 にそれぞれ並列接続されているスイッチ M P M 3 と M N M 3 を閉状態にする。

【 0 1 0 4 】

スイッチ M P S 3、M N S 3 を開状態に保持する必要がある場合は、スイッチ M P T、M N T には定常電流が流れる。それは、スイッチ M P T、M N T の駆動力より強力な検査制御回路 2 2 の駆動回路によって、スイッチ M P S 3、M N S

3 のゲート端子 G をそれぞれ 3.3 V と 0 V に設定しており、そのため、駆動回路の電流が、導通状態のスイッチ MPT、MNT に流れるためである。

【0105】

また、回路群 15 の静止電流を遮断して、静止動作時の消費電流を削減するために、スイッチ MP1、MP2、MPS3、MPM3、MN1、MN2、MNS3、MNM3 を開状態にする場合は、スイッチ MPS3、MNS3 を閉状態であってもよい回路群の電源端子に割り振るのがよい。あるいは、静止電流が小さい回路群の電源にスイッチ MPS3、MNS3 を割り振るのがよい。

【0106】

また、電圧発生器 19 の出力電流を検知する方法として、図 2 の破線で囲まれた電流検知回路 23 のような、LSI の電源線 10 と LSI の接地線 11 に流れる電流を検知する回路を設けてもよいし、LSI の電源線 10 と LSI の接地線 11 の電圧変化を検知することによって電流を検知する回路を設けてもよい。これらの場合は、スイッチ MT を取り外すことができる。

【0107】

LSI の電源線 10 と LSI の接地線 11 に流れる電流を検知するには、電流検知回路 23 の端子 na と端子 nb 間に電流計を設ければよい。また、図 14 に示すように、電流計 n1 と定電圧源 n2 を直列接続したものを端子 na と端子 nb 間に接続してもよい。

【0108】

図 15 に、電圧変化を検知する回路の一例を示す。図 15 において、LSI の電源線 10 における電圧変化の検知は、破線で囲んだ 23a によって行われる。n3 はスイッチであり、C は容量であり、n4 は電圧比較器であり、n5 はスイッチ制御及び論理回路であり、n6 は定電圧源である。電圧比較器 n4 の電圧端子 Vdd と接地端子 Vss には、端子 na と端子 nb から動作電圧が供給される。スイッチ制御及び論理回路 n5 は、スイッチ n3 の開閉動作を信号 nns で制御し、電圧比較器 n4 の出力信号を端子 nnr で受信する。容量 C の一方の端子は、定電圧源 n6 に接続されている。ただし、定電圧源 n6 の代わりに接地電位に接続してもよい。

【 0 1 0 9 】

図 1 5 において、L S I の接地線 1 1 における電圧変化の検知は、2 3 a とほぼ同様の構成とり、やはり破線で囲んだ 2 3 b によって行われる。ただし、標本化する電圧は、端子 n b の電圧なのでスイッチ n 3 q の接続と電圧比較器 n 4 q の正転入力端子の接続は異なる。2 3 b において、符号の終わりに q が記載されていることで、2 3 a との違いを表している。2 3 b において、q を除いた符号と同じ符号の要素が 2 3 a と同じ機能を示す。

【 0 1 1 0 】

次に、図 1 5 に示す構成によって、接続状態を検知する動作について述べる。接続状態を検知するために必要なスイッチの開閉動作は、図 3 で示されたタイミングの動作と同様である。図 3 に示されているスイッチの開閉動作、電圧発生器 1 9 からの電圧 V d d 供給、およびスイッチ n 3、n 3 q の開閉動作は、クロック発生器 2 0 からのクロック信号によってタイミングが合わされている。ただし、図 1 5 において、クロック信号線の接続は省略している。

【 0 1 1 1 】

検査対象となる接続に対して、図 3 に示すように、スイッチの開閉状態を設定した後、電圧発生器 1 9 から供給する電圧を 3 . 3 V に設定する。電圧 3 . 3 V をスイッチ n 3 の開閉動作により容量 C に標本化する。標本化後は、スイッチ n 3 は開状態になっている。次に、電圧発生器 1 9 から供給される電圧を 3 . 3 V よりも高い電圧 3 . 4 V に設定する。端子 n a の電圧は 3 . 4 V に上昇する。標本化された電圧 3 . 3 V と端子 n a の電圧 3 . 4 V は、電圧比較器 n 4 によって比較される。このとき、検査対象となっている接続が接続状態であれば、端子 n a の電圧が上昇しているので、出力信号は論理「H」レベルになる。非接続状態であれば、電圧比較器 n 4 には動作電圧が供給されていない。従って、出力信号は論理「L」レベルとなる。以上の検査手順は、2 3 b によって L S I の接地線に対しても行われる。さらに、各接続に対して繰り返して行われる。

【 0 1 1 2 】

(第 3 の実施形態)

図 5 は、本発明の第 3 の実施形態に係る被検査 L S I とその検査装置の構成図

である。

【0113】

図5において、24は検査装置であり、電圧源と該電圧源から出力された電流を検知するための電流計を備えた電圧発生器25、クロック発生器26、信号源27、および電圧源28を備える。29は被検査LSIであり、30は検査制御回路であり、31、32は回路群である。ここで、図5に示すスイッチの符号と図2に示すスイッチの符号が同じものは同じ役割である。さらに、スイッチMP3とMN3は、図2のスイッチMPM3とMNM3と同じ役割である。電圧発生器25、クロック発生器26、信号源27は、図2の電圧発生器19、クロック発生器20、信号源21と同じ役割である。

【0114】

LSIの電源線53と電源線55とは独立であり、双方は被検査LSI29の内部において接続されていない。また、LSIの接地線54と接地線56は独立した配線であり、双方は被検査LSI29の内部で非接続である。プリント基板の電源線50と電源線51は分割されている。しかし、共通にして電圧源28を取り外してもよい。

【0115】

検査制御回路30のVdd端子、Vss端子には、それぞれ、LSIの電源線55と接地線56を介して電圧源28から電圧3.3V、GNDから0Vが供給される。スイッチMP1、MP2、MP3、MN1、MN2、MN3、MTの開閉動作は、検査制御回路30から出力される信号P11、P21、P31、N11、N21、M31、T1によって制御される。

【0116】

LSIの電源線53とLSIの接地線54の間には、回路群31が接続されている。例えば、回路群31は、図1の回路群6および図2の回路群15と同種類の回路構成をとる。回路群32は、被検査LSI29のLSIの電源線55とLSIの接地線56の間に接続されている。例えば、回路群32は、図2の回路群15と同種類の回路である。

【0117】

図 2 に示す第 2 の実施形態による構成では、検査制御回路 2 2 の V d d 端子、V s s 端子に与える電圧 3 . 3 V、0 V は、スイッチ M P T、M N T によってスイッチ M P S 3、M N S 3 を閉状態にすることで与えられていた。しかし、本実施形態の構成では、図 2 のスイッチ M P T、M N T、スイッチ M P S 3、M N S 3 が不要になる。ただし、検査制御回路 3 0 の V d d 端子、V s s 端子には、L S I の電源線 5 5 と接地線 5 6 を介して電圧源 2 8 から電圧 3 . 3 V、G N D から 0 V が供給される。

【 0 1 1 8 】

図 6 は、接続検査を行う場合における各スイッチの動作を示すタイミングチャートである。

【 0 1 1 9 】

ワイヤ W 1、W 4 の接続状態を検査する場合には、スイッチ M P 1、M N 1、M T を閉状態に、スイッチ M P 2、M P 3 とスイッチ M N 2、M N 3 を開状態にする。ワイヤ W 1、W 4 が接続状態であれば、電圧発生器 2 5 の電流計によって、電流 1 0 0 m A が検知される。ただし、電流は、スイッチ M T によって 1 0 0 m A に制限されている。ワイヤ W 1、W 4 は、電流 1 0 0 m A が流れれば接続状態であり、流れなければ非接続状態である。

【 0 1 2 0 】

次に、ワイヤ W 2、W 5 の接続状態を検査する場合には、スイッチ M P 2、M N 2、M T を閉状態とし、残りのスイッチ M P 1、M N 1、M P 3、M N 3 を開状態とする。各スイッチの動作タイミングは、クロック発生器 2 6 のクロック信号 C L K に従っている。ワイヤ W 3、W 6 の接続検査についてもワイヤ W 1、W 4 やワイヤ W 2、W 5 と同様の検査方法であるので説明を省略する。

【 0 1 2 1 】

ワイヤ W 7、W 8 の接続状態は、検査制御回路 3 0 が動作を開始するか否かによって判断する。ワイヤ W 7、W 8 が接続されていれば、各スイッチを開閉動作させて、各端子の接続検査を行うことができる。ワイヤ W 7、W 8 の一方か両方が非接続状態であれば、接続検査は行うことができない。ワイヤ W 7、W 8 の一方か両方が非接続状態ならば、接続検査時に電圧発生器 2 8 から電流が出力され

ない。

【0122】

そこで、ワイヤW7、W8の接続状態を知るには、LSIの電源線55の電源端子と接地線56の接地端子は単一であることが必要になる。検査制御回路30の電源端子Vdd、接地端子Vssにそれぞれ動作電圧3.3V、0Vが与えられれば、信号源27から出力される検査信号SIG1によって動作を開始する。

【0123】

図6中に、電圧発生器25の電流計が示す電流値の変化をケース1、2で示した。ケース1は、ワイヤW1～W8が全て接続状態である場合における電流変化である。ケース2は、ワイヤW1、W2、W4、W5、W7、W8が接続され、ワイヤW3、W6の両方か一方が非接続状態である場合の電流変化である。図7は、通常動作時の各スイッチの開閉状態を示すタイミングチャートである。図6および図7において、信号P11、P21、P31は反転信号で示している。検査時の動作と通常動作時の動作は、信号源27から出力される検査信号SIG1によって決定される。

【0124】

(第4の実施形態)

図8は、本発明の第4の実施形態に係る被検査LSIとその検査装置の構成図である。本実施形態は、第2の実施形態を応用したものである。本実施形態では、第2の実施形態で設けられていたスイッチMTは不要となる。プリント基板の電源線と接地線は、それぞれ、プリント基板の電源線80、81と接地線82、83に分割している。図8で、図2に示すスイッチの符号と同じ符号で示されているスイッチは同じ役割のスイッチであるが、開閉動作が異なる。

【0125】

図8において、33は検査装置であり、34、38は電圧源と該電圧源から出力される電流を測定する電流計を含む電圧発生器であり、35、39は電圧源であり、36はクロック発生器であり、37は信号源である。41は回路群であり、例えば、図1に示す回路群6と同種の回路群である。40は被検査LSIである。42は検査制御回路である。

【0126】

図9は、検査時の各スイッチの開閉動作を示すタイミングチャートである。スイッチMP1、MP2、MPS3、MPM3、MN1、MN2、MNS3、MNM3は、検査制御回路42からの信号P12、P22、PS2、PM2、N12、N22、NS2、NM2によって開閉動作が制御される。各スイッチの動作タイミングは、クロック発生器36のクロック信号CLK2によって与えられている。

【0127】

ワイヤW1、W3とワイヤW4、W6の接続状態を検査する場合には、スイッチMP1、MPS3、MPM3、MN1、MNS3、MNM3が閉状態に、スイッチMP2、MN2が開状態になる。電圧発生器34は、例えば、3.3+0.5Vを出力し、電圧源35は3.3Vを発生する。電圧発生器38は、例えば、0.5Vを発生し、電圧源39は0Vとする。

【0128】

ここで、ワイヤW1、W3が接続されていれば、電圧発生器34から電流が電圧源35に向かって流れるので、電圧発生器34に含まれる電流計によって電流が検出される。ワイヤW1、W3の両方か一方が非接続ならば、電流は流れないので、電圧発生器34の電流計には電流が検出されない。

【0129】

図8では、図2に示すような、電流量を制限する役割を持っているスイッチMTは設けられていない。電流量は、電圧発生器34と電圧源35の電圧差、また電圧発生器38と電圧源39の電圧差によって調整する。

【0130】

ワイヤW4、W6が接続されていれば、電圧発生器38から電圧源39に電流が流れるので、電圧発生器38に含まれる電流計によって電流が検出される。ワイヤW4、W6の両方か一方が非接続状態ならば、電流は検出されない。

【0131】

ワイヤW2、W3とワイヤW5、W6の接続検査は、ワイヤW1、W3とワイヤW4、W6の接続検査と同様であるので説明を省略する。

【0132】

図9中に、電圧発生器34の電流計が検出した電流の変化を示している。ケース1は、ワイヤW1～W3が接続状態であった場合の電流変化であり、ケース2は、ワイヤW1が非接続状態であり、ワイヤW2、W3が接続状態であった場合である。

【0133】

なお、検査時にスイッチを閉状態にするワイヤの組み合わせは、必ずしも、上述の組み合わせに限らない。ワイヤW1、W3とワイヤW4、W6の接続検査のかわりに、ワイヤW1、W2とワイヤW4、W5の接続検査により、各ワイヤの接続検査を行うこともできる。

【0134】

第2の実施形態では、被検査LSI17の内部の電源線と接地線であるLSIの電源線10と接地線11との間にスイッチMTを設けていたが、本実施形態のように、プリント基板の電源線と接地線を各々2つに分割できる場合はスイッチMTを設けなくてもよい。

【0135】

図10は、通常動作時の各スイッチの開閉状態を示すタイミングチャートである。接地線82と83は0Vとする。被検査LSI40を検査動作に設定するか、通常動作に設定するかは、信号源37の出力信号SIG2で決定される。

【0136】

(第5の実施形態)

第4の実施形態を示す図8において、破線で囲まれたAAとADにそれぞれ含まれるスイッチMPS3/MPM3とMNTを取り除いて、パッドPD3とLSIの電源線84を直接接続してもよい。また、破線で囲まれたAB、ACにそれぞれ含まれるスイッチMNS3/MNM3とMPTを取り除いて、パッドPD6とLSIの接地線85を直接接続してもよい。

【0137】

図11は、本発明の第5の実施形態に係る被検査LSIとその検査装置の構成図であり、第4の実施形態の構成を変形したものである。

【 0 1 3 8 】

図 1 1 では、図 8 の破線で囲まれた A A、A B、A C、A D 部のスイッチを取り除き、パッド P D 3 と L S I の電源線 8 4 を直接接続し、パッド P D 6 と L S I の接地線 8 5 を直接接続している。その他の構成は、図 8 と同じであり、同じ符号を付けている。

【 0 1 3 9 】

図 1 1 において、プリント基板の電源線 8 1 は L S I の電源線 8 4 にスイッチを介さずに直接接続されている。また、プリント基板の接地線 8 3 は L S I の接地線 8 5 にスイッチを介さずに直接接続されている。この構成により、L S I の I D D Q テストを容易に行うことができる。というのは、I D D Q テストは、回路群 4 1 の製造上の不良を検知するために行われる検査であり、回路群 4 1 の電源端子と接地端子は直接外部端子に接続されていることが望まれるためである。

【 0 1 4 0 】

次に、図 1 2 を参照して、接続検査方法について説明する。

【 0 1 4 1 】

図 1 2 は、検査時のスイッチの開閉動作を示すタイミングチャートである。

【 0 1 4 2 】

ワイヤ W 1、W 4 の接続状態を検査する場合には、スイッチ M P 1、M N 1 を閉状態にし、スイッチ M P 2、M N 2 を開状態にして、電圧発生器 3 4 から電圧源 3 5 に流れる電流と、電圧発生器 3 8 から電圧源 3 9 に流れる電流とを検知する。ワイヤ W 2、W 5 の接続状態を検査する場合には、スイッチ M P 2、M N 2 を閉状態にし、スイッチ M P 1、M N 1 を開状態にして電流を検知する。ワイヤ W 3、W 6 の接続状態は、検査制御回路 4 2 が動作するか否かによって判断する。あるいは、電圧源 3 5 か 3 9 に電流計を設けて、検査制御回路 4 2 の電流を検知する。

【 0 1 4 3 】

電流計の検知結果の例として、図 1 2 中に示すケース 1 は、ワイヤ W 1 ～ W 3 が接続状態であり、ケース 2 は、ワイヤ W 2、W 3 が接続状態であり、ワイヤ W 1 が非接続状態であることを示す。図 1 3 は、通常動作時における各スイッチの

開閉状態を示すタイミングチャートである。接地線 8 2 と 8 3 は 0 V とする。

【 0 1 4 4 】

なお、上記本発明の実施形態において、図 1 の検査制御回路 5、図 2 の検査制御回路 2 2、図 5 の検査制御回路 3 0、図 8 および図 1 1 の検査制御回路 4 2 を、それぞれ、被検査 L S I 4、1 7、2 9、4 0 の半導体チップ内部に設けるものとして説明したが、当該半導体チップの外部に設けることもできる。

【 0 1 4 5 】

また、プラスチック・パッケージに封入された半導体チップの電源端子及び接地端子の接続状態を検査する場合に関して説明したが、本発明の接続検査方法は、プラスチック・パッケージに封入された半導体チップの接続検査に限ったものではない。

【 0 1 4 6 】

例えば、半導体チップと他の構成要素とが接続されている場合に、双方の接続状態を検査するために本検査方法を適用することができる。例えば、C-CSP（セラミックのチップ・サイズド・パッケージ）などのように、キャリアと半導体チップがマイクロ・バンプによって接続されている場合には、半導体チップとキャリアとの間の接続検査に、または、半導体チップと他の半導体チップが接続される場合には、双方の半導体チップの接続検査に、あるいは、半導体チップとプリント基板が直接接続される場合、半導体チップとプリント基板の接続検査に本発明を適用することができる。

【 0 1 4 7 】

特に、C-CSPでは、チップの複数の電源線と接地線が、キャリアとの接続後に、キャリア内部において単一またはより少ない電源線と接地線にまとめられる場合がある。これは、図 1 においてリード L 1 ~ L 3 とリード L 4 ~ L 6 の各々が共通になっている状態に相当する。この場合においても、本発明の検査方法による電源端子及び接地端子の接続検査方法を適用することができる。

【 0 1 4 8 】

C-CSPの接続検査についても、検査対象になる電源線と接地線を限定するスイッチMP 1、MP 2、MPS 3、MPM3、MN 1、MN 2、MNS 3、M

NM3、MP3、MN3を被検査LSIの内部に設けているので、検査時間が短縮でき、電源線及び接地線のインダクタンスを小さくすることができる。

【0149】

また、図1において説明したように、電圧源1から出力された電流が流れるか否かを検知し、その電流が流れる経路が途中で断絶されているか否かを検知する。電源端子、接地端子のように電流の経路が複数存在する場合に、スイッチによって電流の経路を選択する。選択された電流の経路の組み合わせによって、各端子の接続状態を検知する。以上が、本願の接続検査方法である。従って、端子の接続検査の手順を示すスイッチの開閉手順は、図3、6、9、12に限ったものではなく、他のスイッチの開閉手順による接続検査も可能である。

【0150】

【発明の効果】

以上説明したように、本発明によれば、アプリケーション上のLSIの実装状態に近い検査用プリント基板を実現でき、検査装置に多種の性能を要求せず、検査に必要な時間が短く、低コストで電源端子と接地端子の接続状態を検査することが可能な半導体装置を提供することができる、という格別な効果を奏する。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る被検査LSIとその検査装置の基本構成図

【図2】 本発明の第2の実施形態に係る被検査LSIとその検査装置の構成図

【図3】 本発明の第2の実施形態による接続検査時の各スイッチの開閉動作を示すタイミングチャート

【図4】 本発明の第2の実施形態による通常動作時の各スイッチの開閉動作を示すタイミングチャート

【図5】 本発明の第3の実施形態に係る被検査LSIとその検査装置の構成図

【図6】 本発明の第3の実施形態による接続検査時の各スイッチの開閉動作を示すタイミングチャート

【図 7】 本発明の第 3 の実施形態による通常動作時の各スイッチの開閉動作を示すタイミングチャート

【図 8】 本発明の第 4 の実施形態に係る被検査 L S I とその検査装置の構成図

【図 9】 本発明の第 4 の実施形態による接続検査時の各スイッチの開閉動作を示すタイミングチャート

【図 1 0】 本発明の第 4 の実施形態による通常動作時の各スイッチの開閉動作を示すタイミングチャート

【図 1 1】 本発明の第 5 の実施形態に係る被検査 L S I とその検査装置の構成図

【図 1 2】 本発明の第 5 の実施形態による接続検査時の各スイッチの開閉動作を示すタイミングチャート

【図 1 3】 本発明の第 5 の実施形態による通常動作時の各スイッチの開閉動作を示すタイミングチャート

【図 1 4】 本発明の実施形態における電流検知回路の構成図

【図 1 5】 本発明の実施形態における電流検知回路の変形例としての電圧変化検出回路の構成図

【図 1 6】 従来の信号線接続検査方法に関する被検査 L S I とその検査装置の構成図

【図 1 7】 従来の電源線接続検査方法に関する被検査 L S I とその検査装置の構成図

【符号の説明】

- 1 電圧源
- 2 電流計
- 3、1 8、2 4、3 3 検査装置
- 4、1 7、2 9、4 0 被検査 L S I
- 5、2 2、3 0、4 2 検査制御回路
- 6、1 5、3 1、3 2、4 1 回路群
- 8、5 0、5 1、8 0、8 1 プリント基板の電源線

9、52、82、83 プリント基板の接地線

10、53、55、84 LSIの電源線

11、54、56、85 LSIの接地線

19、25、34、38 電圧発生器

23 電流検知回路

L1～L6 リード

MPS3 PチャンネルMOSトランジスタ

MNT NチャンネルMOSトランジスタ

MNS3 NチャンネルMOSトランジスタ

MPT PチャンネルMOSトランジスタ

PD1～PD6 パッド

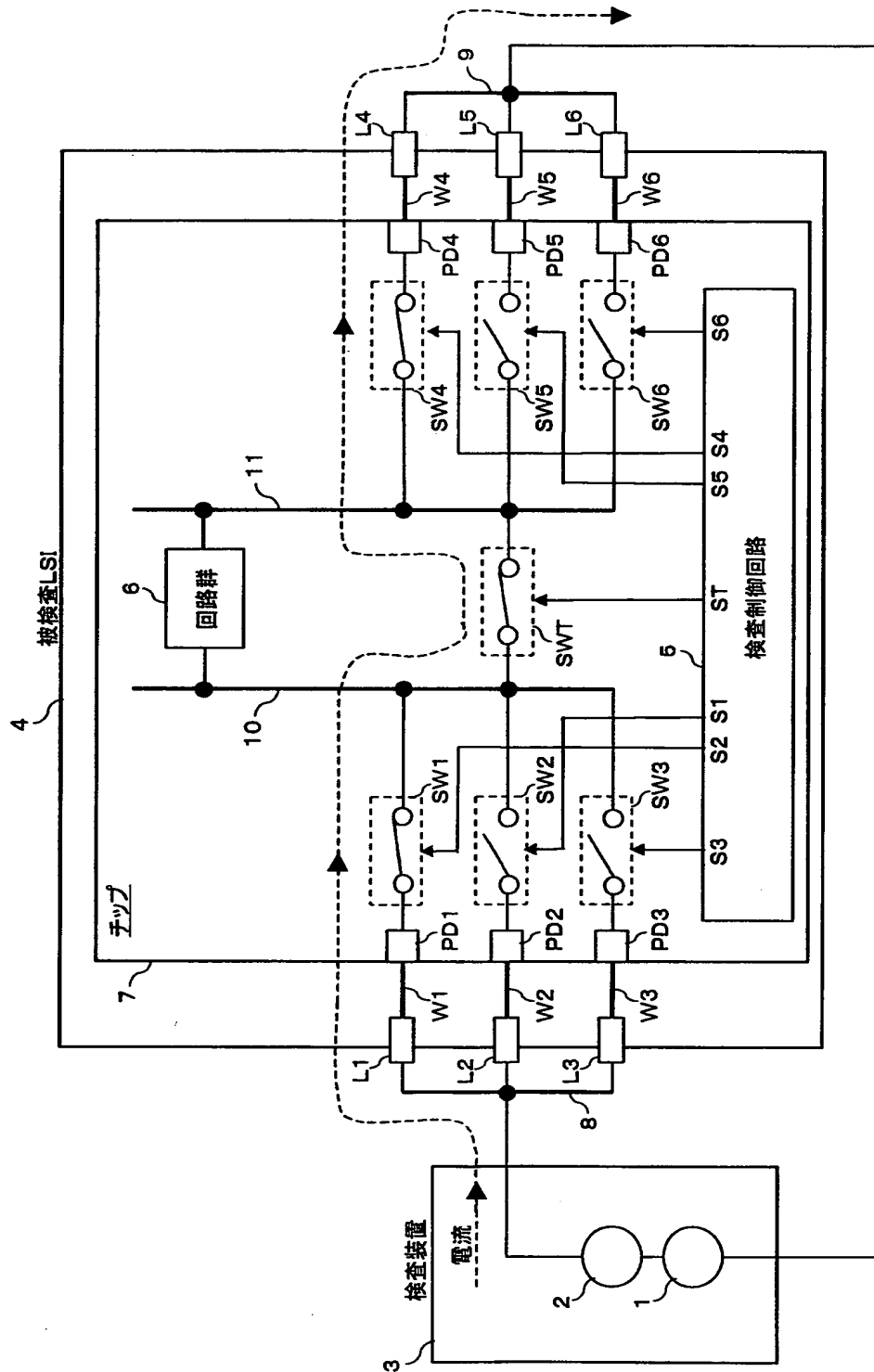
SW1～SW6、SWT スイッチ

W1～W6 ワイヤ

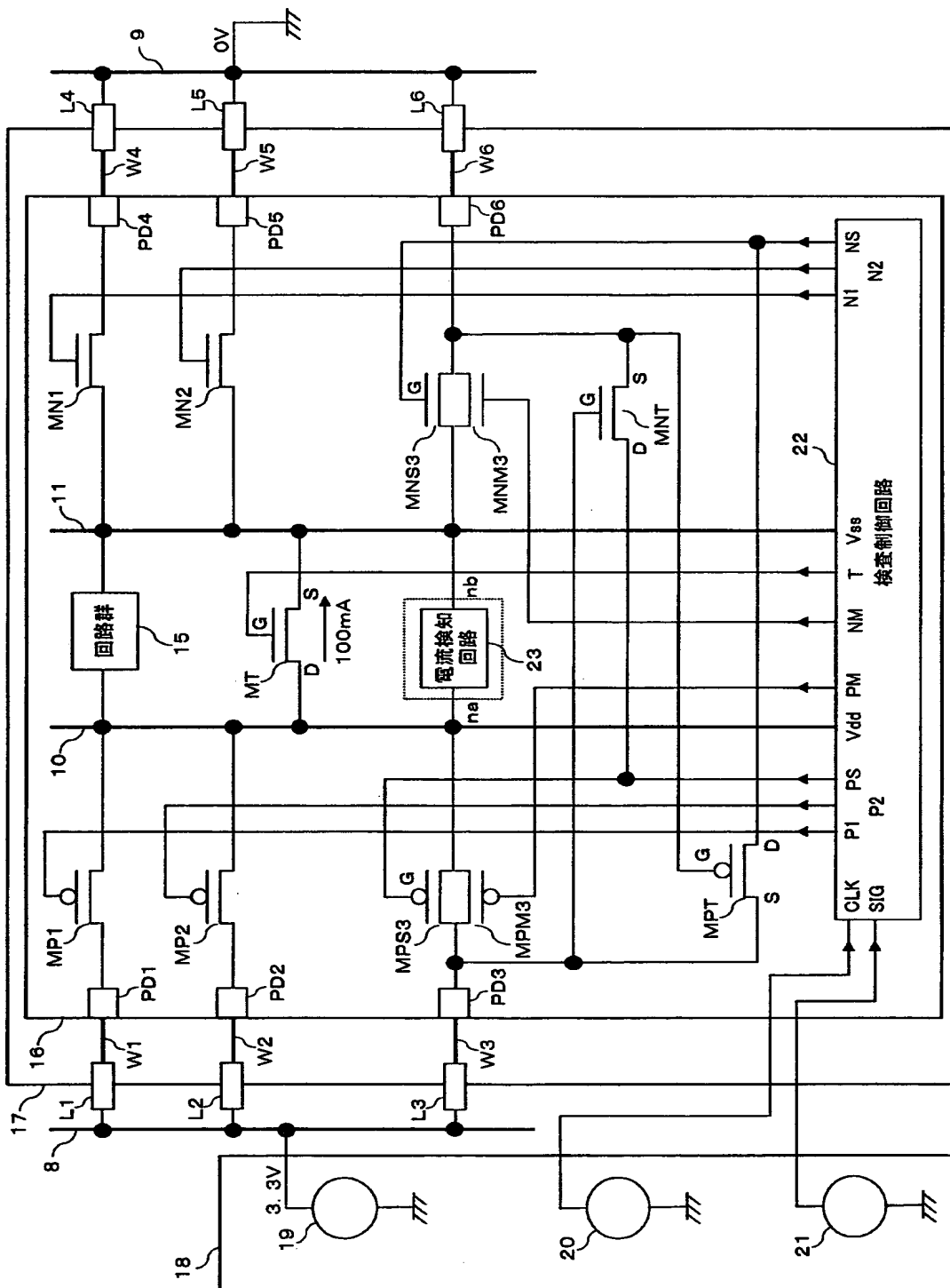
【書類名】

図面

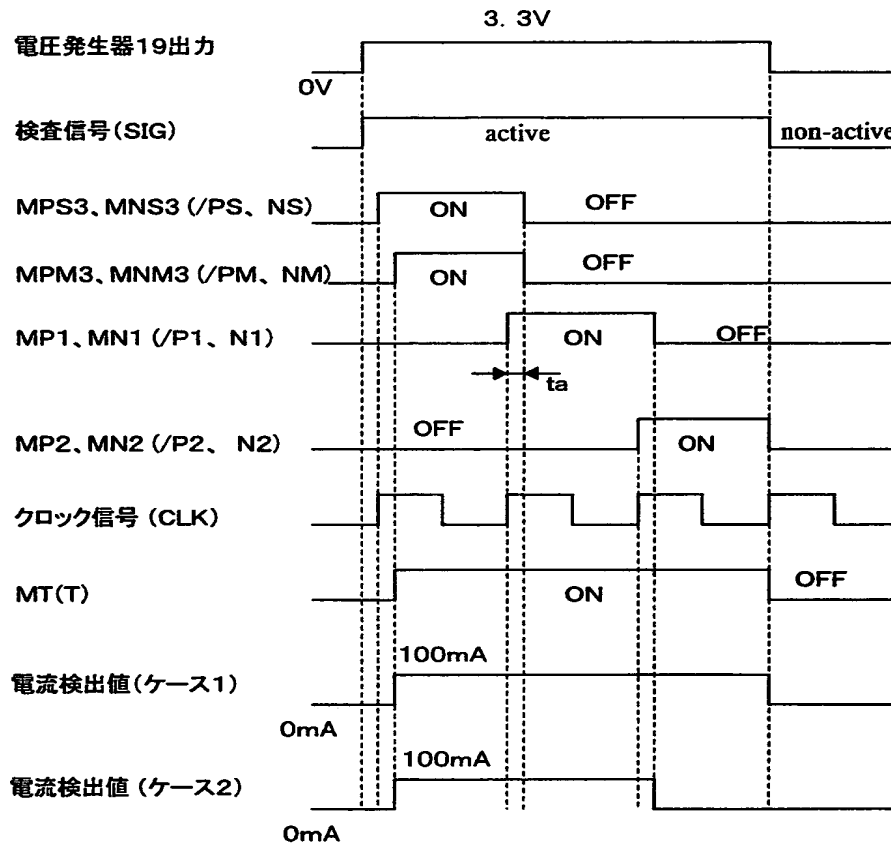
【図 1】



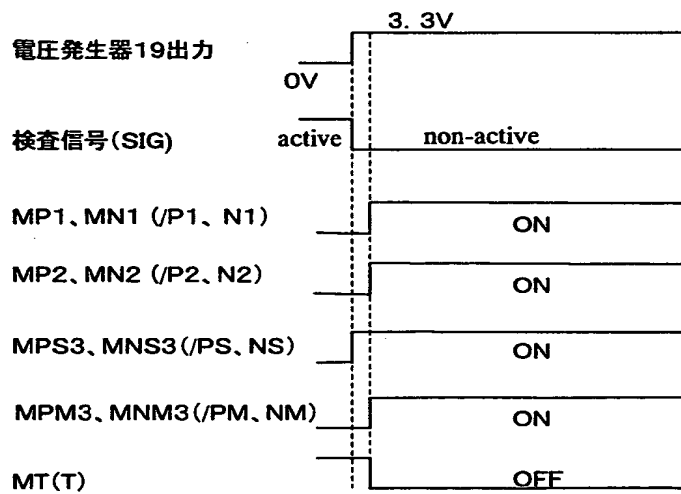
【図 2】



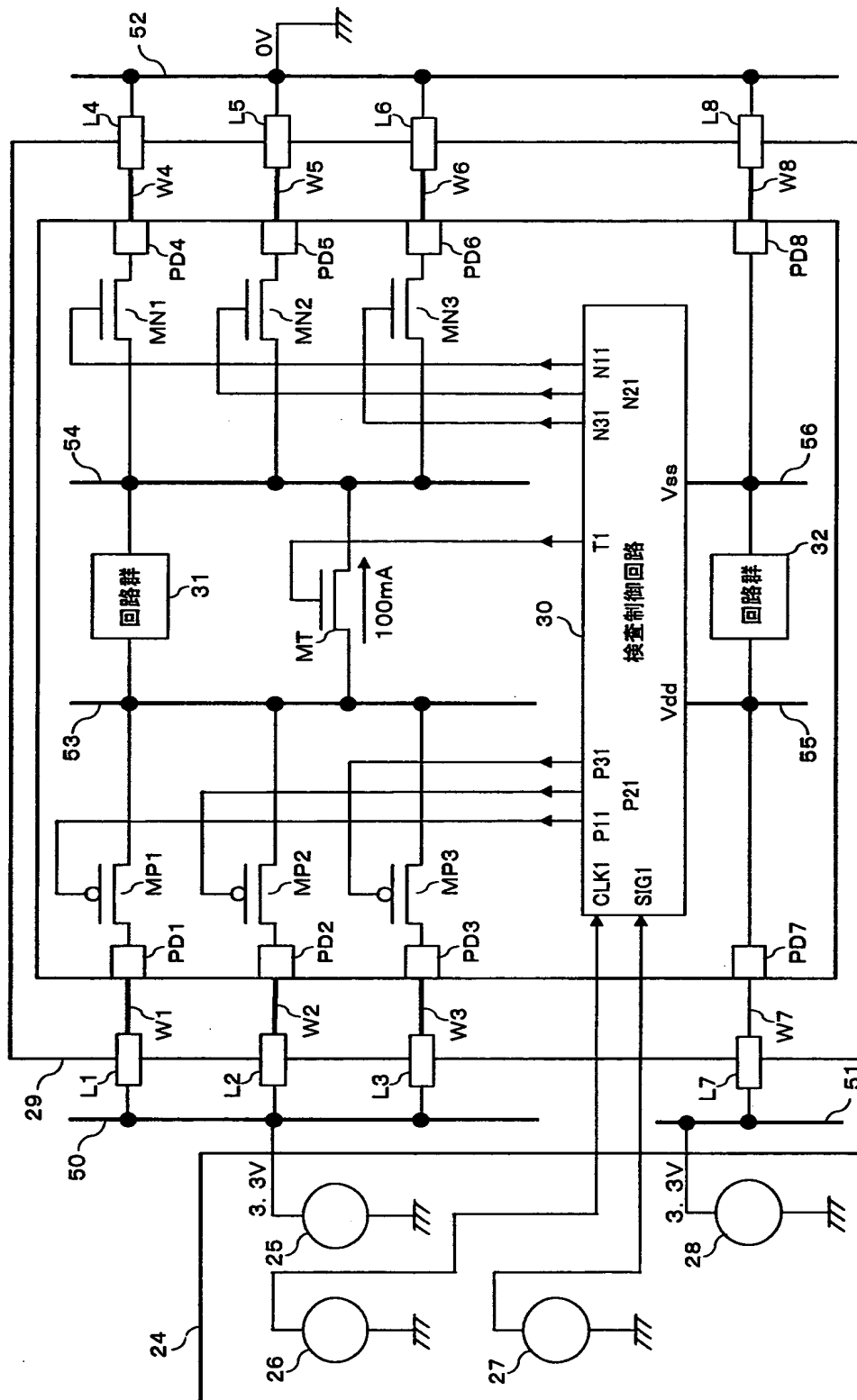
【図 3】



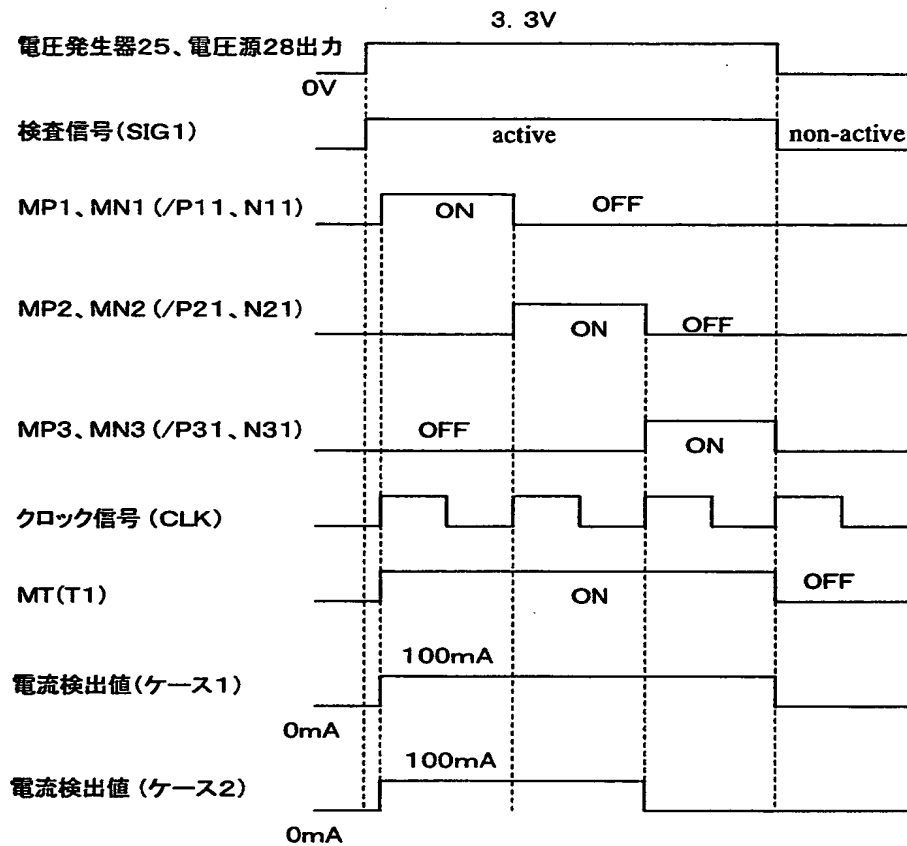
【図 4】



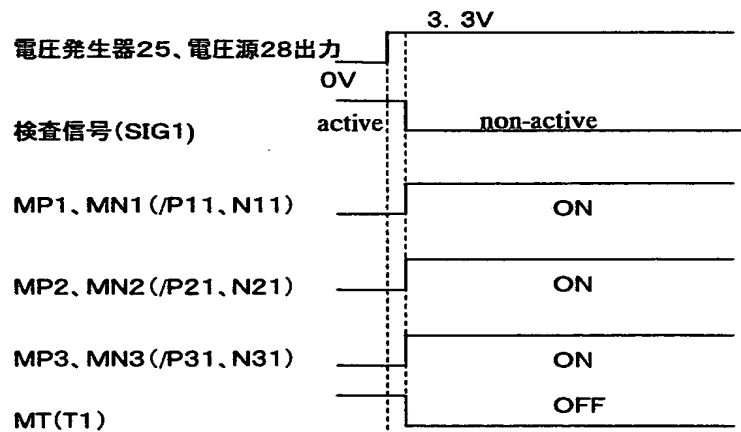
【図 5】



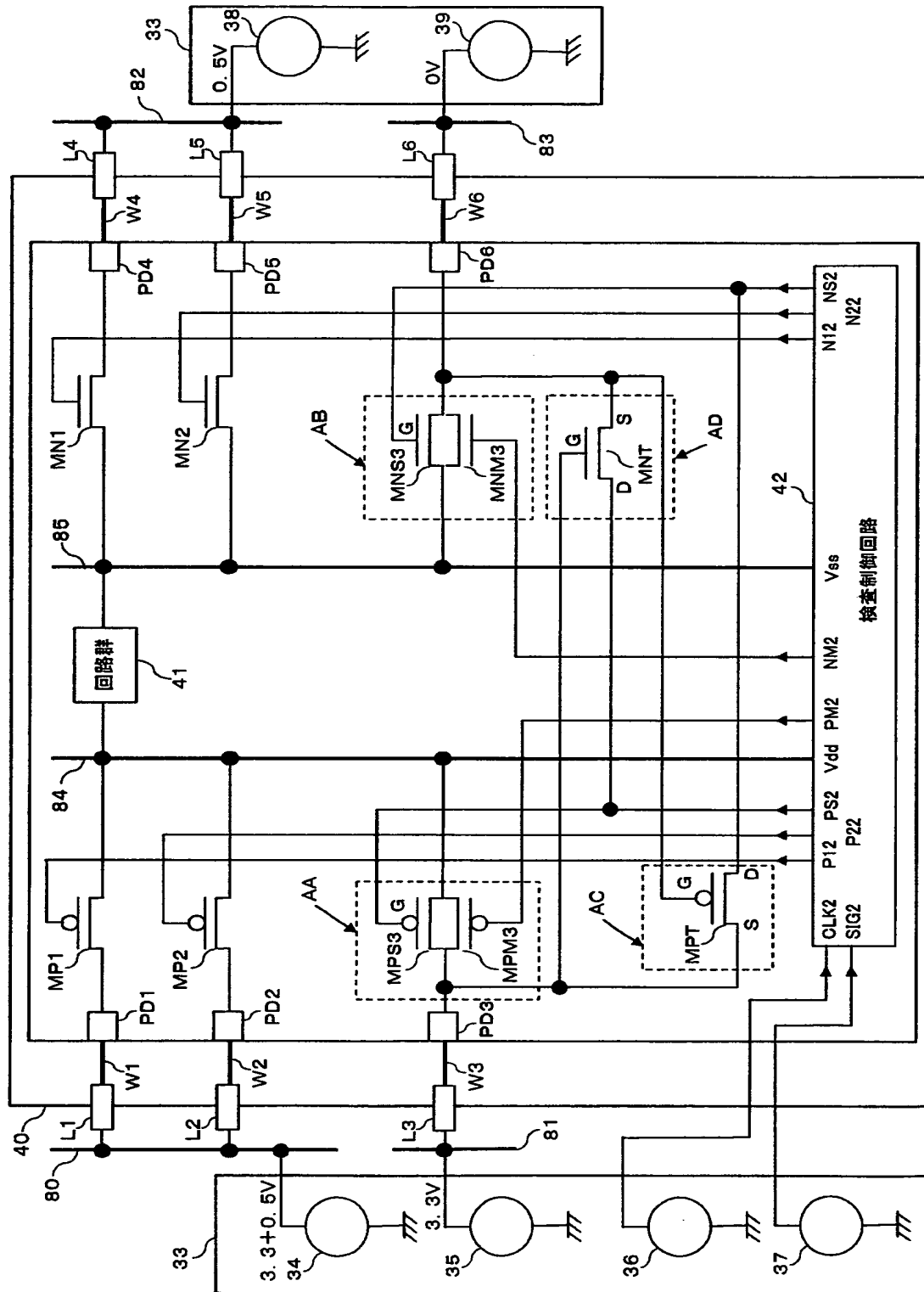
【図 6】



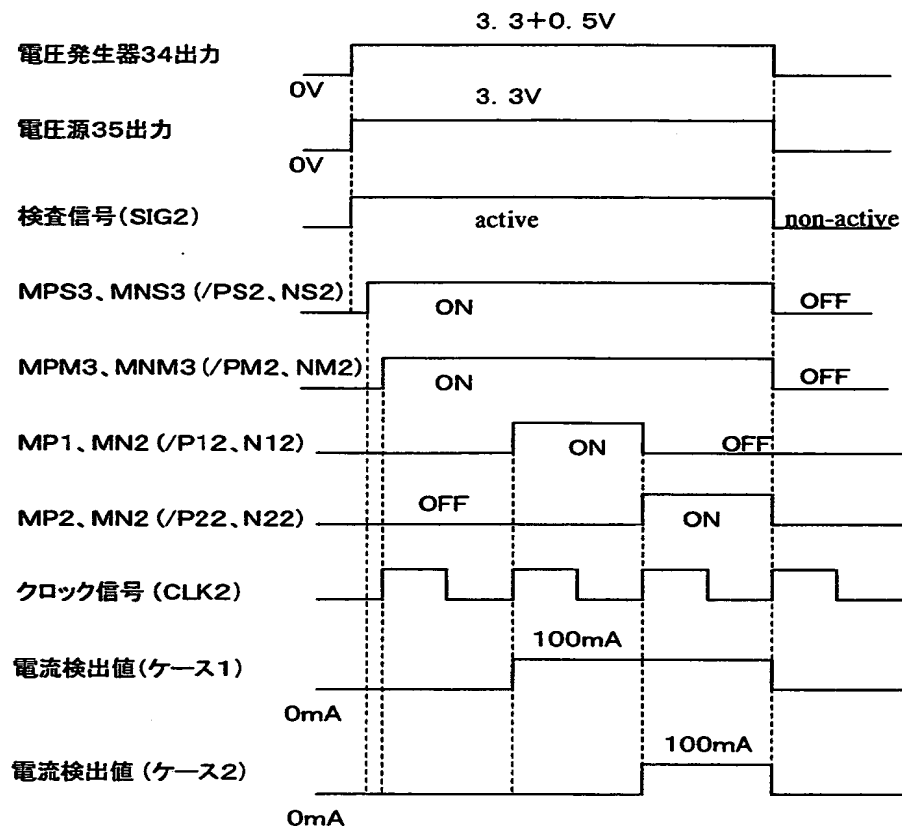
【図 7】



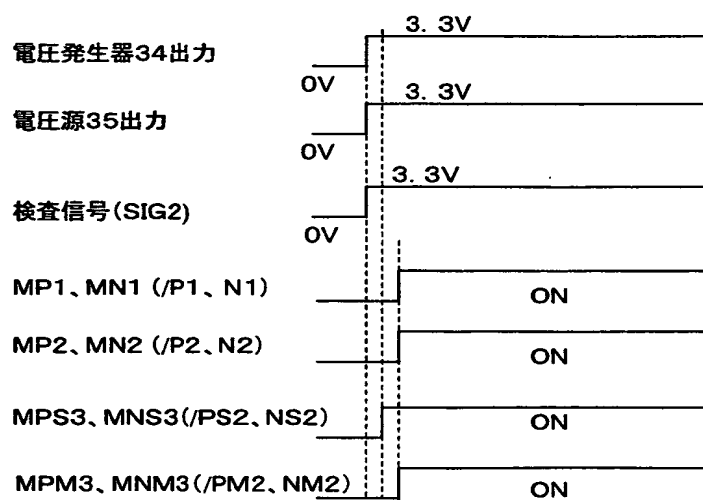
【図 8】



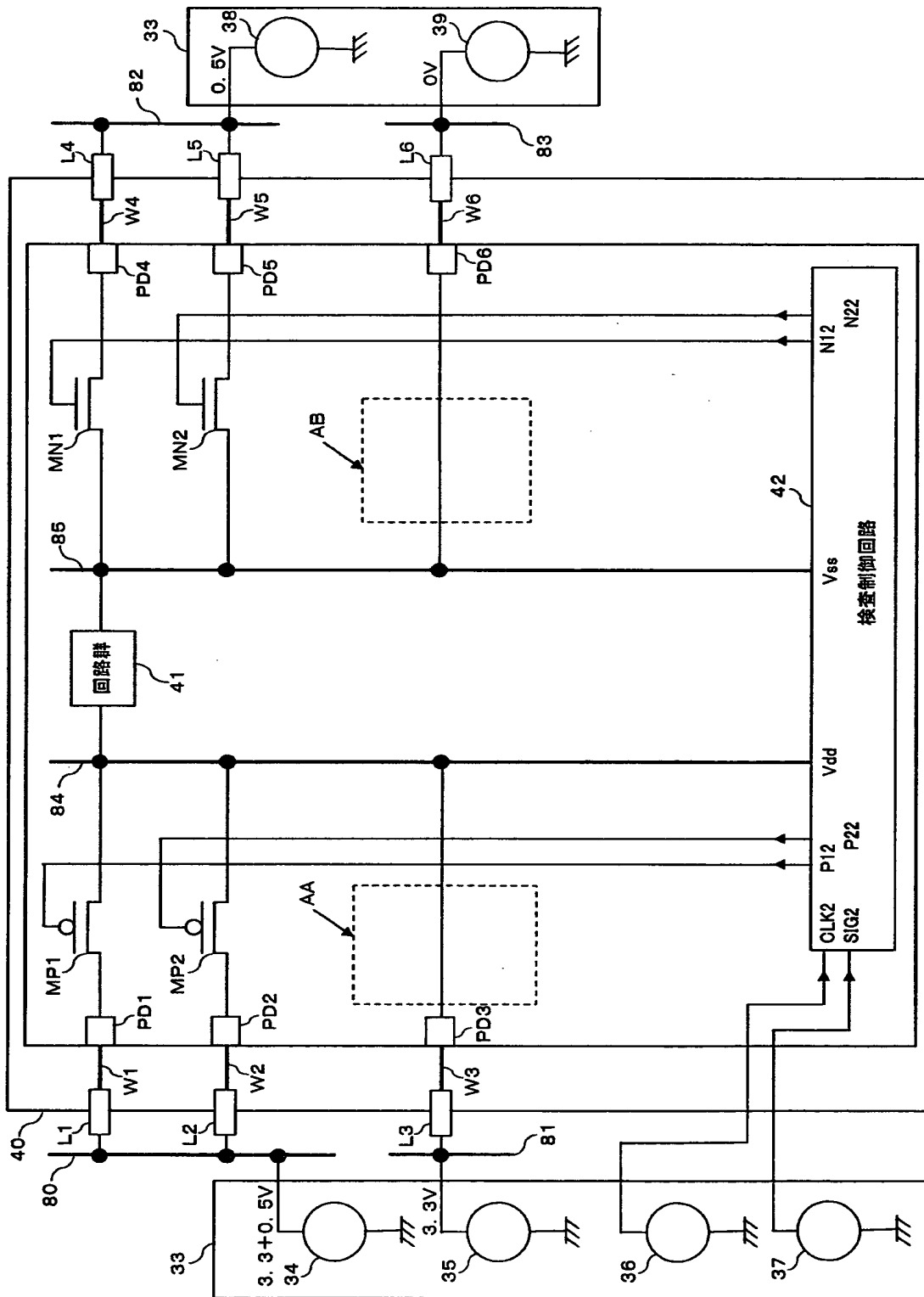
【図 9】



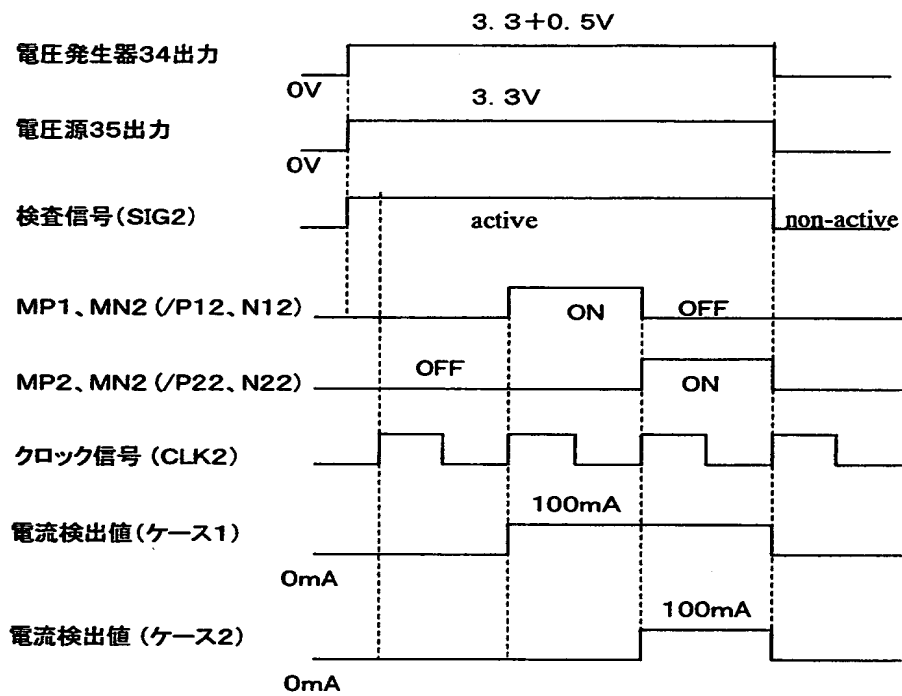
【図 1 0】



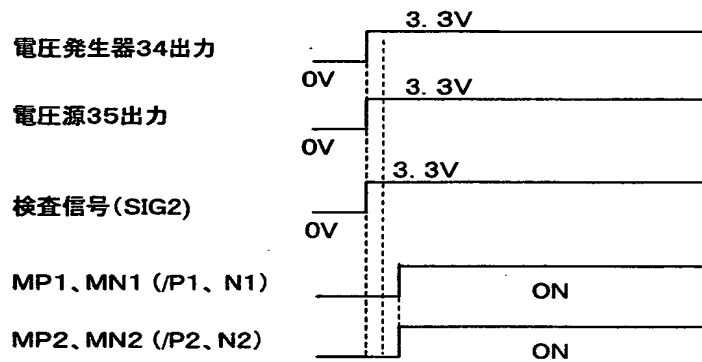
【図 1 1】



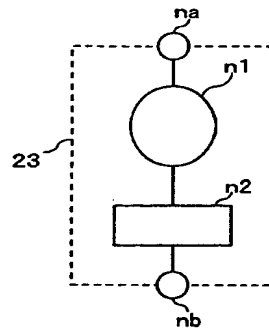
【図 1 2】



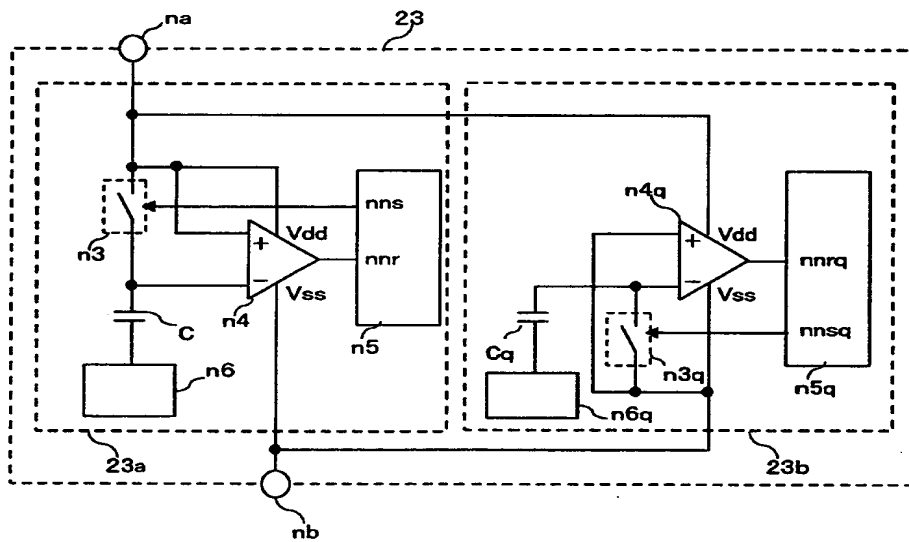
【図 1 3】



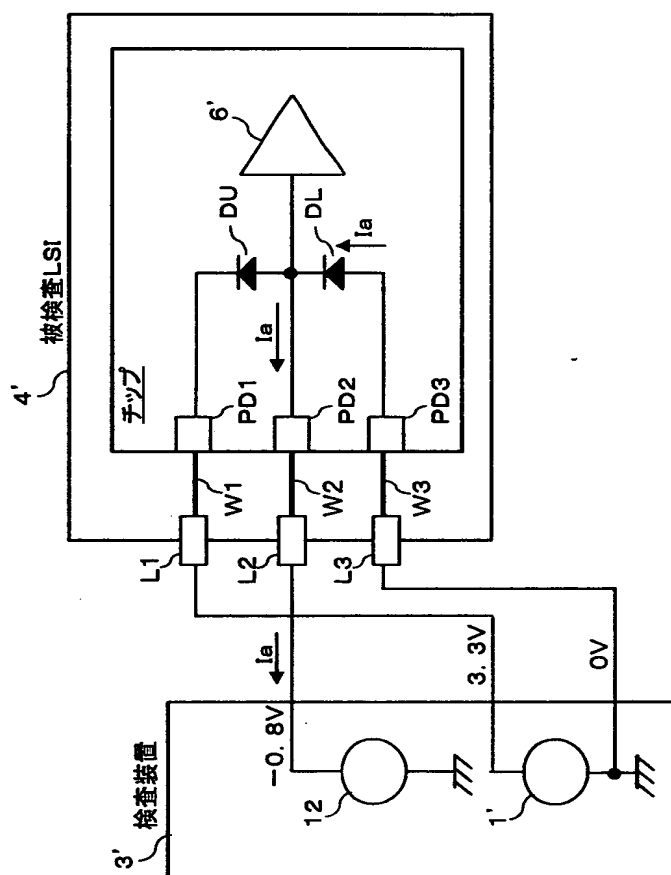
【図 1 4】



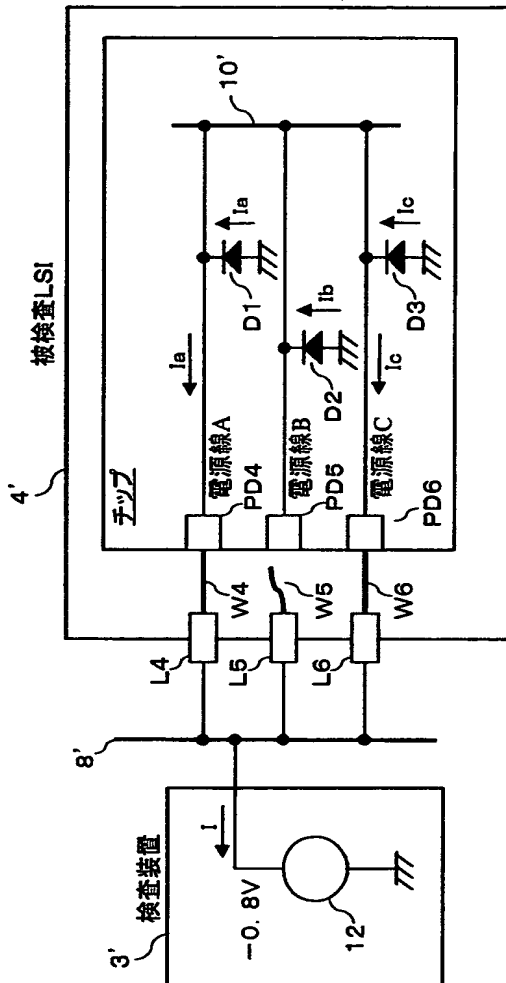
【図 1 5】



【図16】



【図 17】



【書類名】 要約書

【要約】

【課題】 被検査 L S I の電源端子と接地端子の接続状態を低コスト且つ短時間で検査可能な半導体装置を提供する。

【解決手段】 被検査 L S I 4 内部の複数の電源端子 P D 1 ～ P D 3 と電源線 1 0 との間にスイッチ S W 1 ～ S W 3 を、被検査 L S I 内部の電源線と接地線 1 1 間にスイッチ S W T を設ける。ある電源端子の接続状態を検査する場合、その電源端子と電源線間に接続されたスイッチを閉状態にし、電源線と接地線間のスイッチを閉状態とし、残りのスイッチを開状態にする。電源端子と接地端子の間に電圧を与え電流が流れるか否かにより、電源端子が接続状態か否かを判断する。

。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社